

S-550

SERVICE NOTES

First Edition

SPECIFICATIONS

DISK DRIVE
3.5" Micro Floppy Disk Drive : Double density Double Track (2DD)

SAMPLING SYSTEM
Sampling Rate : 30KHz/15KHz
Data Format : 12bits Linear
D/A Converter : 16 bits
Sampling Time : 7.2sec x 4 (IA, IB, IIA, IIB) @30KHz Sampling rate
 : 14.4sec x 4 (IA, IB, IIA, IIB) @15KHz Sampling rate
Wave memory : 384K byte x 4 bank
INPUT MIC : -48dBm
 LINE : -10dBm
Recording Start Jack : OFF-SHORT
 ON-OPEN

OUTPUT
MIX, 1-8 : +2dBm 1 Voice max

DISPLAY OUT
RGB TTL LEVEL HORIZONTAL FREQ. 15.75KHz
MONOCHROME COMPOSITE 1V P-P

EXT CONTROLLER
TTL LEVEL

DIMENSIONS
482 (W) x 400 (D) x 88 (H) mm
19" x 15-3/4" x 3-7/16"

WEIGHT
7.7Kg/17 lb.

POWER CONSUMPTION
32W

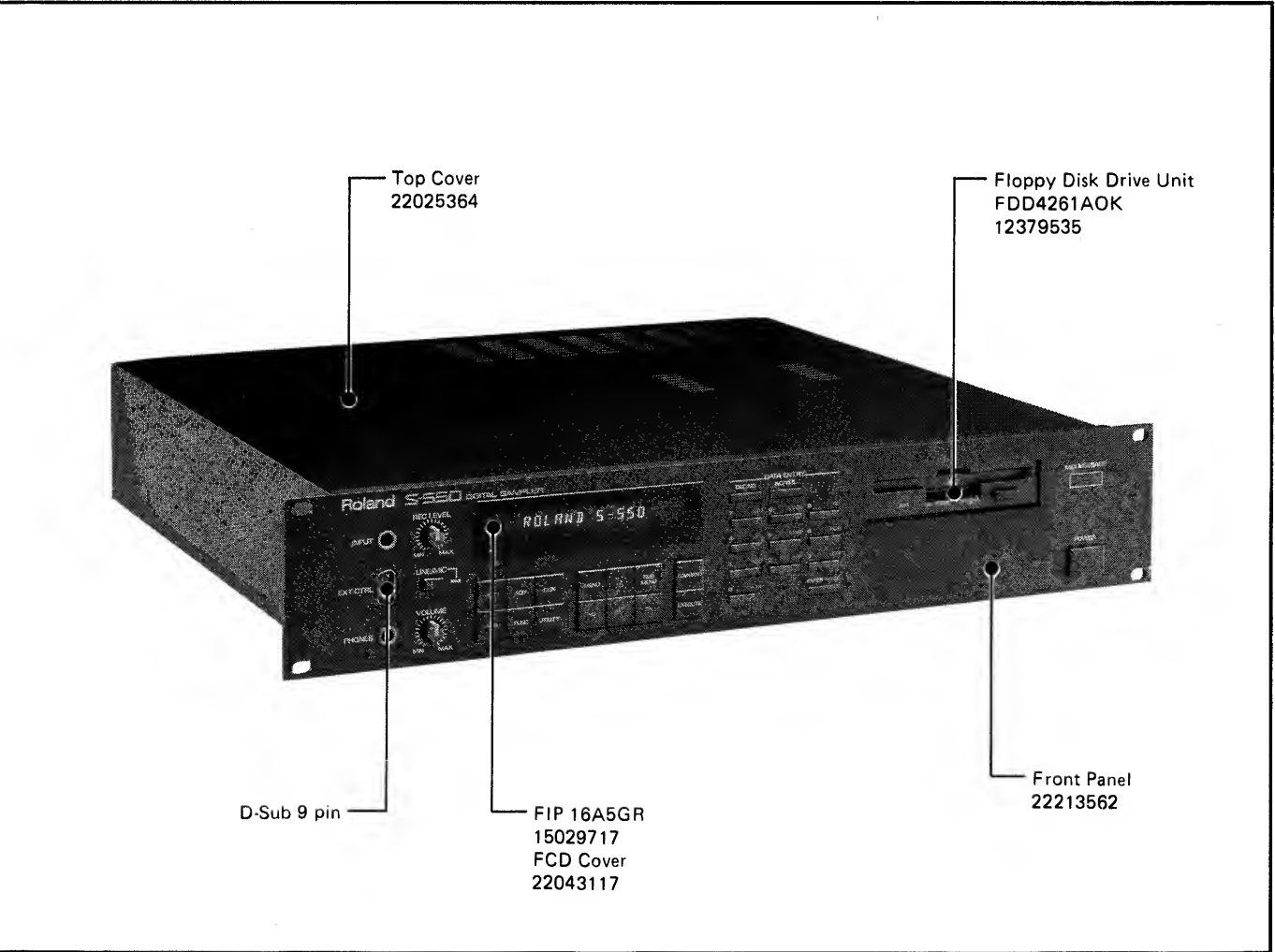
ACCESSORIES
Connection Cord (PJ-1) x 1 (Part No. 23430675S0)
MIDI Cable 1m x 1 (Part No. 23485167)
System Disk x 2 in a set (Part No. 22403129)
Utility Disk x 1 of two
Mouse (MU-1) (Part No. 22433515)
Owner's manual
Guide Book for MIDI

OPTION
Remote Controller : RC-100
RGB Connection Cable:
 RGB 25I For 9 pin sub
RGB Connection Cable:
 RGB 25N For 8 pin square
Pedal Switch DP-2, BOSS FS-5U
3.5" Micro Floppy Disk MF2DD
Sound Library Disks L-501 to 509

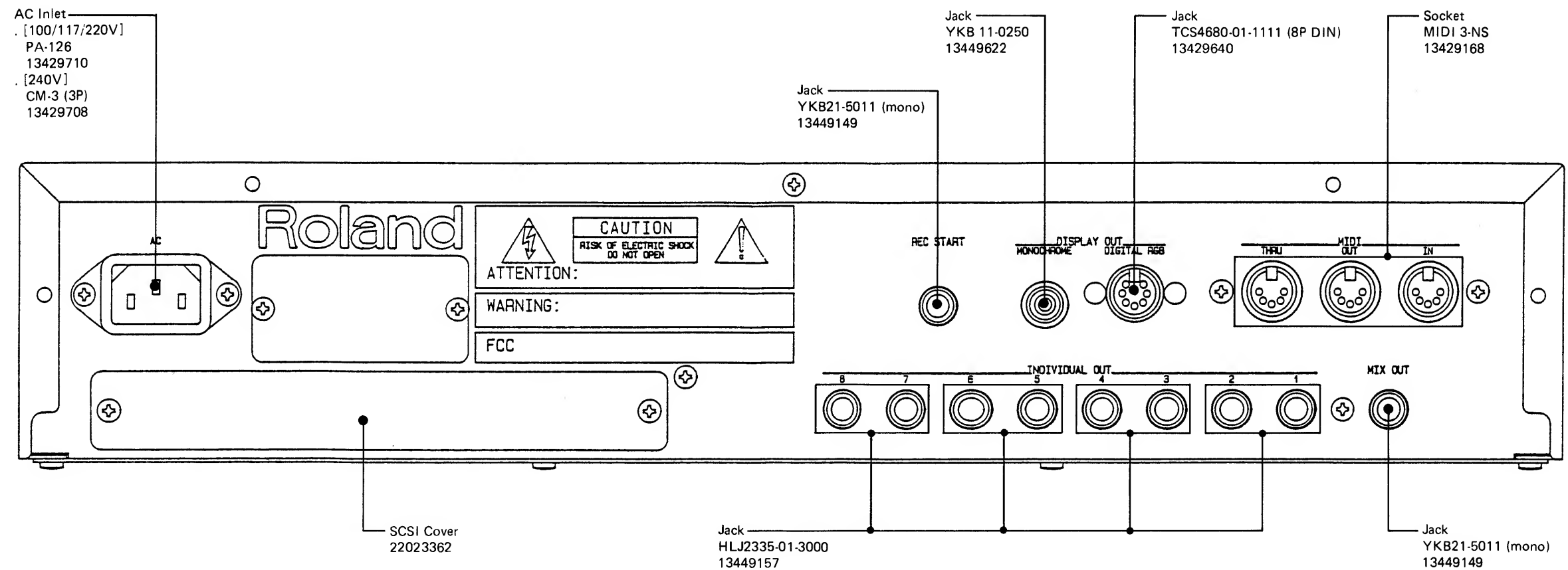
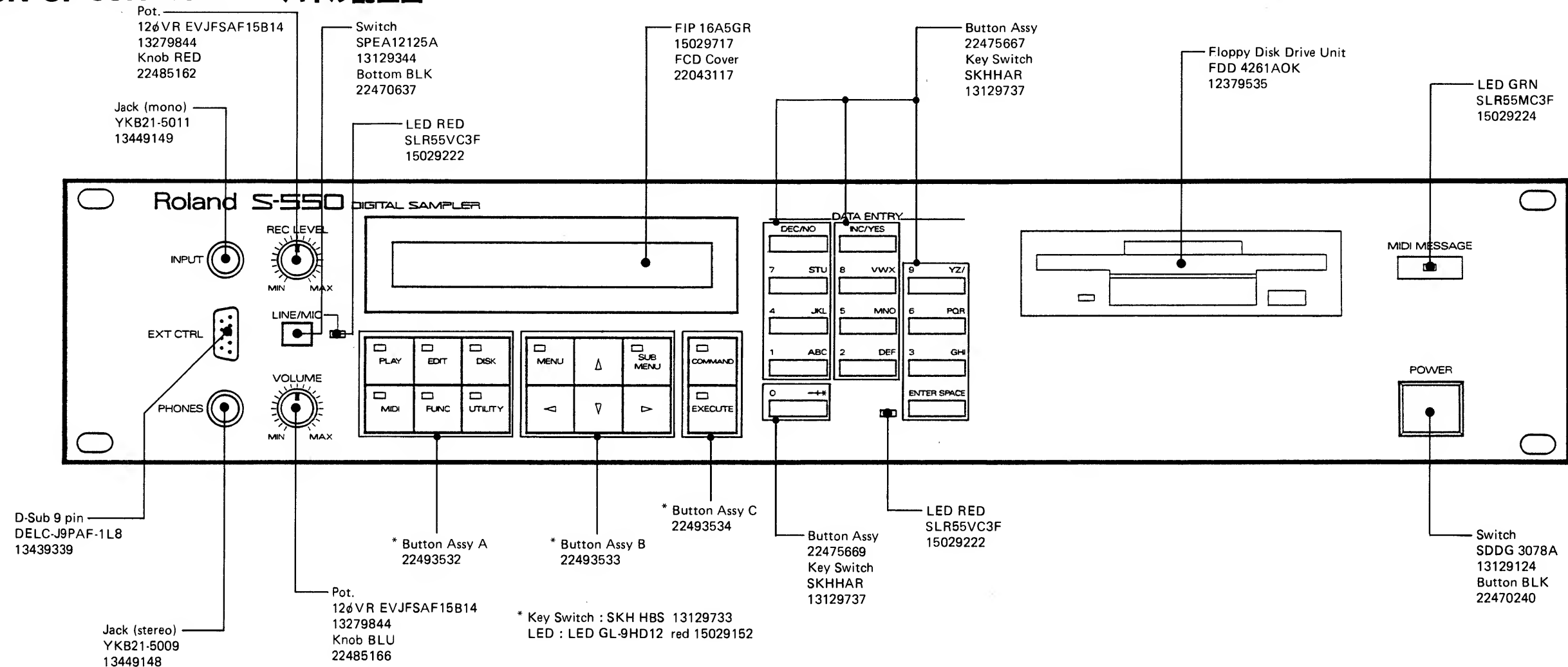
TABLE OF CONTENTS

目次Page

LOCATION OF CONTROLS	パネル配置図	2
EXPLODED VIEW	分解図	3
MOUSE (MU-1)	マウス	4
PARTS LIST	パーツリスト	4, 5
BLOCK DIAGRAM	ブロック図	6
CIRCUIT DESCRIPTIONS	回路解説	7-11
CHECKING AND ADJUSTMENT	点検及び調整	11-15
CHANGE INFORMATION	変更案内	15
POWER SWITCH BOARD	パワースイッチボード	16
POWER SUPPLY BOARD	パワーサプライボード	16
SWITCH BOARD	スイッチボード	17
JACK BOARD	ジャックボード	17
CPU BOARD	CPUボード	18-21
ANALOG BOARD	アナログボード	22
RGB CABLE	RGBケーブル	23
RGB OUT TIMING CHART	RGB出力タイミングチャート	23
IC DATA	ICデータ	24, 25



LOCATION OF CONTROLS パネル配置図

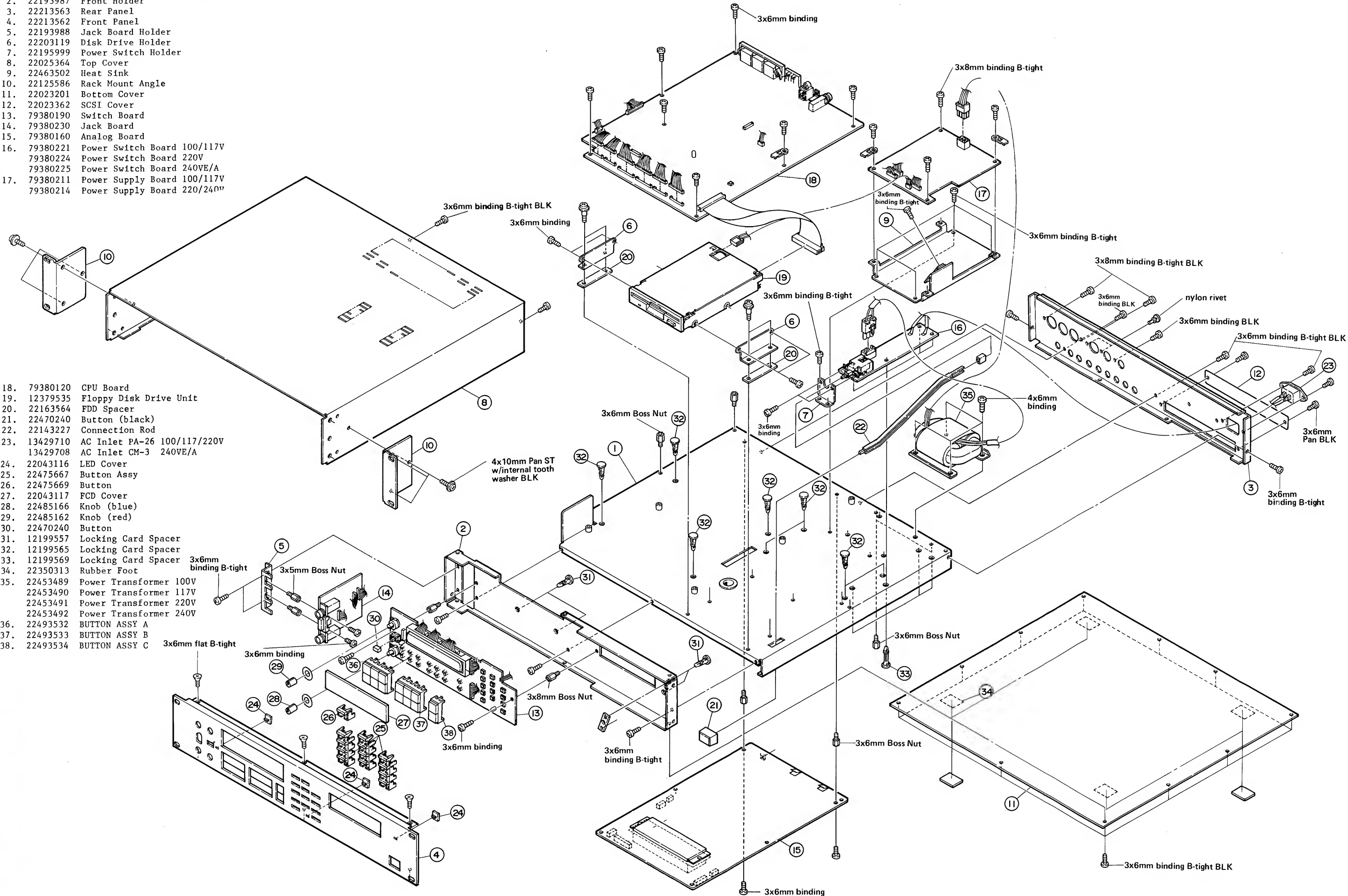


1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40

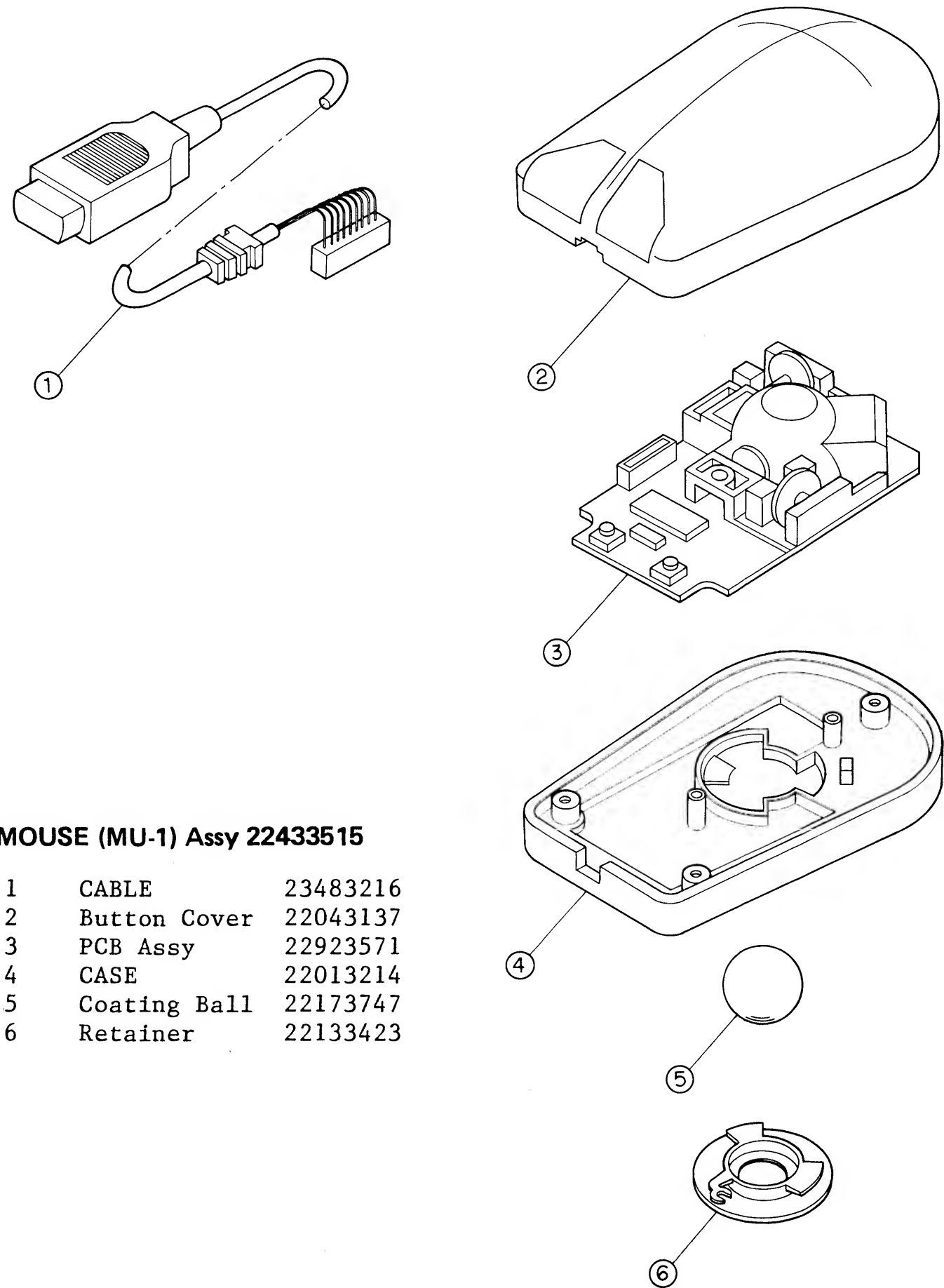
EXPLODED VIEW 分解図

- 1. 22813599 Subchassis
- 2. 22193987 Front Holder
- 3. 22213563 Rear Panel
- 4. 22213562 Front Panel
- 5. 22193988 Jack Board Holder
- 6. 22203119 Disk Drive Holder
- 7. 22195999 Power Switch Holder
- 8. 22025364 Top Cover
- 9. 22463502 Heat Sink
- 10. 22125586 Rack Mount Angle
- 11. 22023201 Bottom Cover
- 12. 22023362 SCSI Cover
- 13. 79380190 Switch Board
- 14. 79380230 Jack Board
- 15. 79380160 Analog Board
- 16. 79380221 Power Switch Board 100/117V
- 79380224 Power Switch Board 220V
- 79380225 Power Switch Board 240VE/A
- 17. 79380211 Power Supply Board 100/117V
- 79380214 Power Supply Board 220/240V

- 18. 79380120 CPU Board
- 19. 12379535 Floppy Disk Drive Unit
- 20. 22163564 FDD Spacer
- 21. 22470240 Button (black)
- 22. 22143227 Connection Rod
- 23. 13429710 AC Inlet PA-26 100/117/220V
- 13429708 AC Inlet CM-3 240VE/A
- 24. 22043116 LED Cover
- 25. 22475667 Button Assy
- 26. 22475669 Button
- 27. 22043117 FCD Cover
- 28. 22485166 Knob (blue)
- 29. 22485162 Knob (red)
- 30. 22470240 Button
- 31. 12199557 Locking Card Spacer
- 32. 12199565 Locking Card Spacer
- 33. 12199569 Locking Card Spacer
- 34. 22350313 Rubber Foot
- 35. 22453489 Power Transformer 100V
- 22453490 Power Transformer 117V
- 22453491 Power Transformer 220V
- 22453492 Power Transformer 240V
- 36. 22493532 BUTTON ASSY A
- 37. 22493533 BUTTON ASSY B
- 38. 22493534 BUTTON ASSY C



MOUSE (MU-1)



MOUSE (MU-1) Assy 22433515

1	CABLE	23483216
2	Button Cover	22043137
3	PCB Assy	22923571
4	CASE	22013214
5	Coating Ball	22173747
6	Retainer	22133423

PARTS LIST パーツ・リスト

CASING		
22025364	Top Cover	202-364
22023355	Bottom Cover	202-355
22125586	Rack Mount Angle	212-586
22023362	SCSI Cover	202-362
22213562	Front Panel	221-562
22193987	Front Holder	219-987
22213563	Rear Panel	221-563
22813599	Subchassis	281-599
KNOB, BUTTON		
22470240	Button	POWER
22470637	Button	LINE/MIC
22493532	Button Assy A	PLAY, EDIT, DISK, MIDI, FUNC, UTILITY
22493533	Button Assy B	MENU, ▲, SUB MENU, ◀, ▼, ▶
22493534	Button Assy C	COMMAND, EXECUTE
22485162	Knob (red)	REC LEVEL
22485166	Knob (blue)	VOLUME
22475667	Button	Set of 4 in a column in DATA ENTRY excluding the button 0-+*, 0 -+*
22475669	Button	0 -+*
SWITCH		
13169633	SKH HAD039A	CPU board
13129733	SKH HBS	panel board
13129737	SKH HAR	panel board
13129344	SPEA 12125A	panel board
13129124	SDDG 3078A	POWER
JACK, SOCKET		
13429168	MIDI 3-NS	MIDI
13449149	YKB 21-5011 (mono)	INPUT, REC/START, MIX OUT
13449622	YKB 11-0252	MONOCHROME
13429640	TCS 4680-01-1111 (8P DIN)	DIGITAL RGB
13449157	HLJ 2335-01-3000	INDIVIDUAL OUT
13449148	YKB 21-5009 (stereo)	PHONES
POWER TRANSFORMER		
22453489	245-489	100V
22453490	245-490	117V
22453491	245-491	220V
22453492	245-492	240V
INDUCTOR		
12449251	DC-DC Converter	
12449306	PFB-3 fc=14.5KHz	LC filter
22445304	PFB-3 fc=13.7KHz	LC filter
12449244	SC-02-15E	line filter
22445240	BLO 2RN2-R62	ferrite beads
13529156	ZJSC-220-101	EMI filter
13529158	ZJSC-2R2-101	EMI filter
RESONATOR		
12389738	CSB 400P (ceralock)	
12389744	HC-49/U 8MHz (crystal)	
12389758	HC-49/U 14.3496MHz (crystal)	
12389778	HC-49/U 20MHz (crystal)	
12389759	HC-49/U 24MHz (crystal)	
12389760	HC-49/U 26.880MHz (crystal)	
PCB ASSY		
79380120	CPU Board	(pcb 22923493)
79380160	Analog Board w/filter cover A & B	(pcb 22923494)
79380200	Switch Board w/LED board	(pcb 22923492)
79380211	Power Board 100/117V	(pcb 22923495)
79380214	Poewr Board 220/240V	(pcb 22923495)
79380221	Power Switch Board 100/117V	(pcb 22923503)
79380224	Power Switch Board 220V	(pcb 22923503)
79380225	Power Switch Board 240VE/A	(pcb 22923503)
79380230	Jack Board	(pcb 22923492)
POTENTIOMETER		
13299193	EVN-D4AA00 B54	
13279844	EVJFSAF 15B14 (rotary ϕ12)	
13299201	EVN-D4AA00 B53	
TRANSISTOR		
15119106DR	2SA 933R	
15129613	2SD 1207S	
15129114	2SC 1815GR	
15119129	2SA 1115E	
15129140	2SC 2603E	
15129136	2SC 2878A	
151291300G	2SC 1583G	
15119601	2SB 605L	
15129606	2SD 844Y	
15129150	DTC-114 w/built in resistors	

IC

15229874	SA-16		wave gate array
	or 15229840	RF5C36	wave gate array
15179246	I8095-90		CPU
15229846	μPD 65006CW-071		I/O gate array
15229887	M60011-0125SP		I/O gate array
15219158	WD1772-02		floppy disk controller
15179385	SRM20256LC12		S-RAM
15219173	TMS 3556NL		video display processor
15229861	M6003A-0117SP		SW scan control gate array
15179201	μPD 7537C-014		4-bit N-MOS CPU
15229884	TVF 16		TVF gate array
15229883	MB 654419U		TVF interface gate array
15219171	EHK-MD 6209		16-bit D/A converter
15229873	BU3905S R11-0006		output assign gate array
15179856	LH57128-20		one time P-ROM
15199109NO	μPC 78L05		+5V regulator
15179364	TMS 4464-15NL		D-RAM 64Kx4
15179386	M5M 44C256P-12		D-RAM 256Kx4
15169514B0	M74HC 04P		hex inverter
15169548B0	M74HC 14P		hex inverting schmitt trigger
15169552B0	M74HC 245P		octal 3 state tranceiver
15169555B0	M74HC 393P		dual 4-Bit binary counter
15169544B0	M74HC 573P		3 state octal D-type latch
15169560	TC 74HC 123P		dual retriggerable monostable multivibrator
15229706S0	PC910		optoisolator
15219174	NJU 201AD		analog switch
15189111P0	IR-9311		comparater
15189193	M5238P		OP amp
15189186	μPC 4570C		OP amp
15219157	M5241 L		VCA
15189150	M5220 L		OP amp
15189197	NJM 5532D		OP amp
15199133	AN 7815F		+15V regulator
15199134	AN 7915F		+15V regulator

FLOPPY DISK DRIVE UNIT

12379535	FDD4261AOK	
	or 22405156	FDD4251GOK

DIODE, LED

15019323	04AZ 9.1X		
15019324	04AX 39X		
15019143	1SS-116		
15019125	1SS-133		
15019208	1SR-35-200		
15029222	SLR55VC3F	LED red	panel board, CPU board
15029224	SLR55MC3F	LED green	panel board
15029152	GL-9HD12	LED red	panel board
15029717	FIP 16A5GR		
15019275	3B4B41		Rectifier Bridge
15019274	D5FB-20		Rectifier Bridge

CAPACITOR

13659216M0	ECES 1EU 682K	
13529104	DE 7150F 472MVA1	Line bypass
13529108	Rpe 132f 104Z 50	Ceramic

RESISTOR

13919310	RMLS 8-103J	
13919118R0	RKM 10L 104F	
13819261	1/2W 470KΩ	Solid
12559817	ERQ-16NKR 15E (fuse resistor)	

FUSE, FUSE CLIP

12559404	TSC 4A	100/117V
12199550	HO 446 (fuse clip)	
12559555	CEE T5A	220/240V
12559410	T-GGS 5A	100/117V

CONNECTOR HOUSING

13429192	PS-40PE-D4T1-B1	
13439371	5483-03AX	
13439372	5483-04AX	
13439373	5483-05AX	
13439374	5483-06AX	
13439375	5483-07AX	
13439376	5483-08AX	
13439380	5483-12AX	
13439330	IL-S-3P-S2T2-EF	
13439345	IL-S-9P-S2T2-EF	
13439298	IL-S-10P-S2T2-EF	
13439331	IL-S-11P-S2T2-EF	
13439336	IL-S-12P-S2T2-EF	
13439337	IL-S-13P-S2T2-EF	
13439339	IL-S-15P-S2T2-EF	
13429193	DELC-J9PAF-1L8	D-Sub 9 pin
13439306	5566-06A	wafer assy
13429172	5219-03A	

AC CORD SET

13439825	DC-320-J01	100V
13439812F0	UC-704-J01	117V
13439813F0	EC-210-J06	220V
23495110	5722-660-4606	240V: England BS certified
13439814F0	SC-415-J06	240V: Australian

COVER, SPACER, HOLDER

22043117	FCD Cover	204-117
22193988	Jack Board Holder	219-988
22203119	Disk Driver Holder	220-119
22195999	Power Switch Holder	219-999
22043116	LED Cover	204-116
22195889	MIDI Holder	219-889
22190757	SDE-2500 Holder	219-757
22163564	Disk Drive Spacer	216-564
22023372	DIN Cover	202-372
22263384	FIP Spacer	226-384
22205106	FCD Holder	220-106

FLAT CABLE

23473218	34 pin x 200mm	
23473219	200mm	

HEAT SINK

12469139	246-139	16PC 16
22463502	246-502	

WIRING

23493631	Wiring A	570mm 3 pin) in a set of three
	Wiring B	210mm 12 pin	
	Wiring C	200mm 4 pin	
23493630	Wiring A	210mm 9 pin) in a set of eight
	Wiring B	100mm 5 pin	
	Wiring C	120mm 6 pin	
	Wiring D	130mm 10 pin	
	Wiring E	130mm 11 pin	
	Wiring F	130mm 15 pin	
	Wiring G	190mm 13 pin	
	Wiring H	160mm 12 pin	
23493632	Wiring A	350mm 6 pin) in a set of four
	Wiring B	310mm 7 pin	
	Wiring C	80mm 4 pin	
	Wiring D	160mm 8 pin	

BOSS NUT

22153579	215-579 (H=6mm)	
22150524	215-524 (H=8mm)	
22150575	215-575 (H=5mm)	

MISCELLANEOUS

22350313	Bass	
22240104	Switch Mask	
22143227	Arm	
22220319	Escutcheon	

ACCESSORIES

23430675S0	LP-25 (PJ-1)	Connection Cord (2.5m)
23485167	348-167	5P DIN Cord (1m)
22403129	Z6-S550-01 SYSTEM Disk	
	Z6-S550-02 SYSTEM Disk	
	SYS-S550-6 UTILITY Disk	
	Floppy Disk Case	

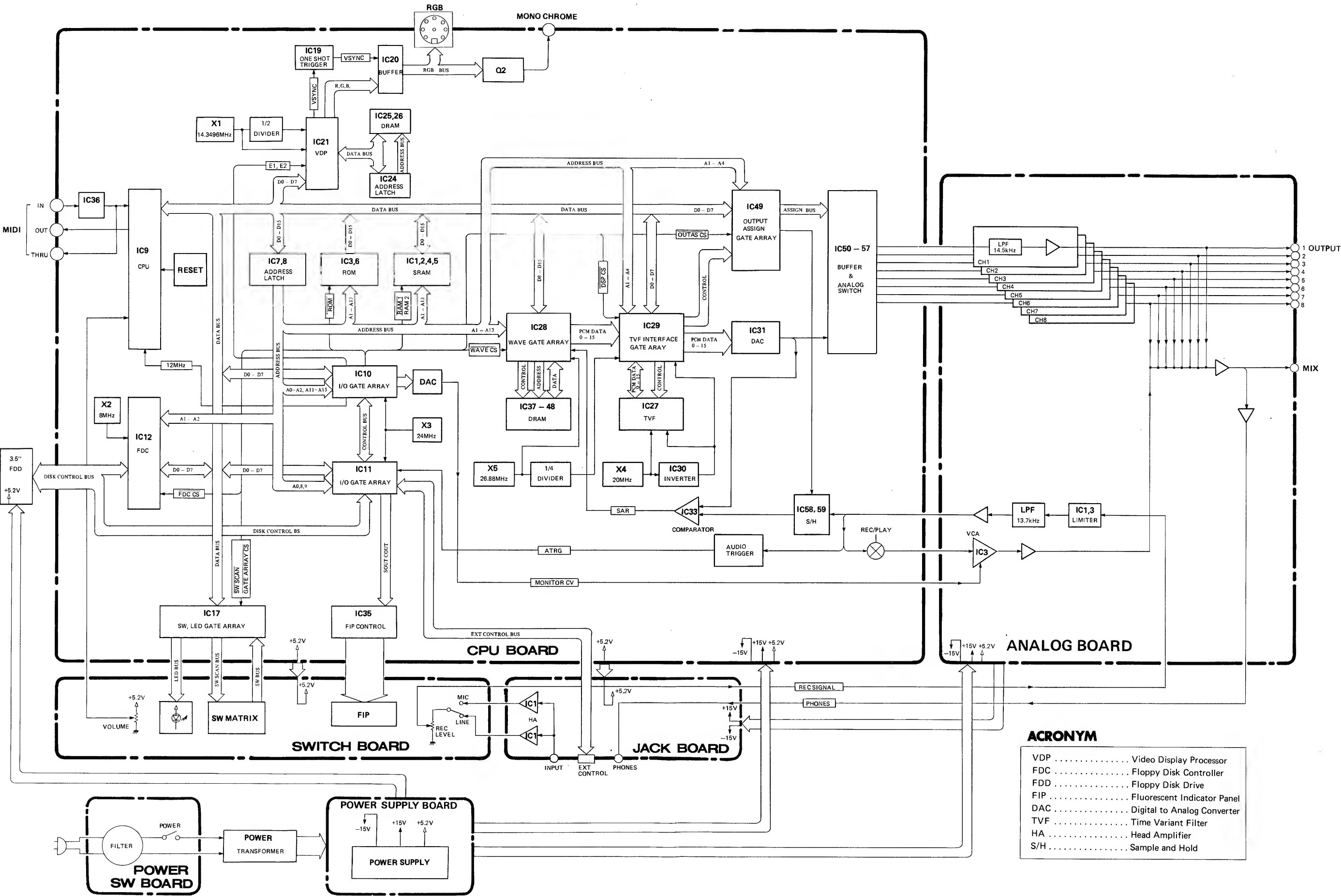
MOUSE (MU-1)

22433515	Mouse (MU-1) Assy	
22483216	Cable	
22043137	Button Cover	
22923571	PCB Assy	
22013214	Case	
22173747	Coating Ball	
22133423	Retainer	

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40

BLOCK DIAGRAM ブロック図

A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U



CIRCUIT DESCRIPTIONS

General

■ Features

The S-550 is a 16-voice digital sampler having expanded 16-bit capability (sampling data 12-bit). The major features are as described below:

- Employs TVF (Time Variant Filter) and TVA (Time Variant Amplifier) for versatile sound creation
- Four wave banks, each with the maximum sampling time of 7.2 sec (sampling frequency at 30kHz)
- Accommodates an optional mouse and remote controller RC-100
- Equipped with 8 individual channel outputs
- SCSI (Small Computer System Interface) mountable
- Editable from the CRT screen

■ Control Section

The main CPU 8095 covers and manages the following functions and devices.

- Transfer of MIDI messages
- Wave gate array SA16 (or RF5C36)
- Floppy disk controller (FDC) WD1772
- Video display controller (VDD) TMS3556
- FIP CPU μ PD7537C
- Gate array M6003A used for switch scanning and LED driving
- TVF interface gate array MB654419V
- Output assigner gate array BU3905S
- I/O gate arrays μ PD65006 and M60011

■ Waveform Data Memory Section

Stores input waveform data into 12 1Mbit DRAMs through the wave gate array SA-16 (or RF5C36).

Detailed

■ System Operation

● Software

System software is to be supplied externally from the floppy disk. System boots trap (initialization) program and fundamental subroutines are firmware stored in the internal ROMs. Fig. 1 shows the flow of the system initialization program.

回路解説

概要

■機能

S-550はエクспанデット16ビット(サンプリングデータ12ビット)、16ボイスのデジタルサンプラーで主な機能は以下の通りです。

- TVF (Time Variant Filter)、TVA (Time Variant Amplifier) 搭載により、多彩な音作りが可能。
- 最大サンプリングタイム7.2秒(サンプリング周波数30KHz時)のウェーブバンクを4バンク装備
- 付属のマウス及びリモートコントローラRC-100が接続可能。
- 8CHのインディビジュアル・アウトプット装備
- SCSI (Small Computer System Interface) 実装可能。
- CRTを接続し、画面上でのエディットが可能。

■制御部

メインCPUには、8095が使用されており、下記のことを制御、管理しています。

- MIDIメッセージの送受信
- ウェーブゲートアレイSA16(又なRF5C36)
- フロッピーディスクコントローラ(FDC)WD1772
- ビデオディスプレイコントローラ(VDP)TMS3556
- FIP用CPU μ PD7537C
- SWスキャン、LED点灯用ゲートアレイM6003A
- TVF インターフェイスゲートアレイMB654419U
- アウトプットアサインゲートアレイBU3905S
- I/Oゲートアレイ μ PD65006及びM60011

■波形記憶部

ウェーブゲートアレイSA-16(又はRF5C36)により入力音の波形データを1MビットのDRAM12個に記憶させています。

詳細

■システム動作

●ソフトウェア

システムソフトウェアは、フロッピーディスクにより本体に供給されます。本体ROM内には、システムの初期設定プログラム及び基本サブルーチン等が格納されています。ROM内のシステム初期設定プログラムの流れをFig. 1に示します。

●Reset

Two kinds of reset signal will be issued as necessary by software and by hardware. They are:

RST1 By hardware on power-up

RST2 By software This will cause a low level signal from pin 63 of IC11, μ PD65006.

These reset signals are routed to the respective destinations as listed in Table 1.

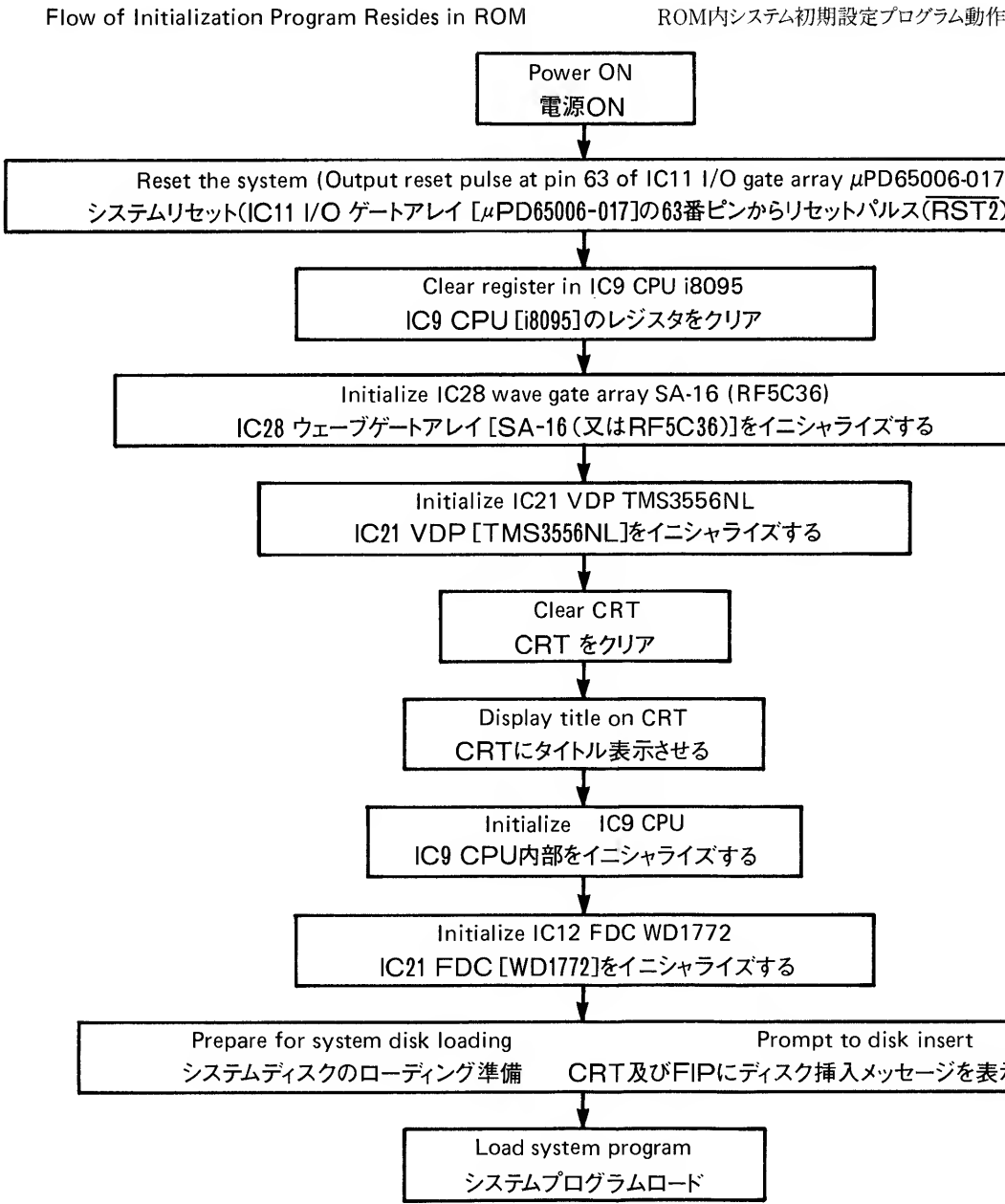
●リセット

リセット信号には、ハードウェア的(電源投入時)にかかる $\overline{\text{RST1}}$ と、ソフトウェアでコントロールされてかかる(IC11 μ PD65006の63番ピンから出力される) $\overline{\text{RST2}}$ との2種類があります。

それぞれの接続先はTable. 1の通りです。

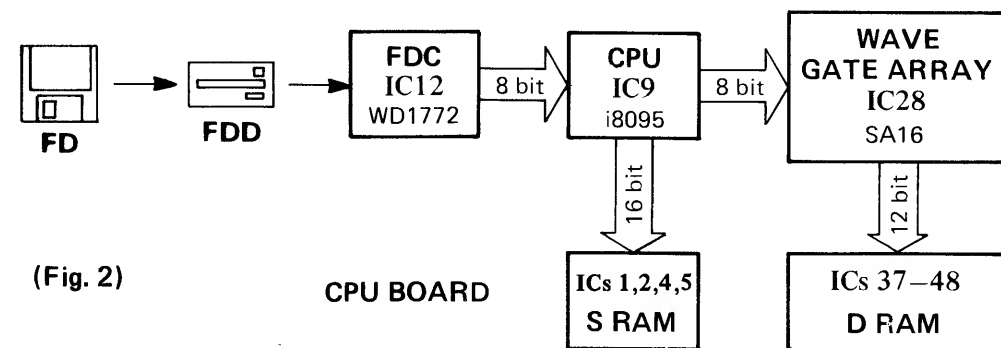
$\overline{\text{RST1}}$	Destination	$\overline{\text{RST2}}$	Destination
IC9 [I8095]		IC12[WD1772]	
IC10[M60011]		IC17[M6003A]	
		IC35[μ PD7537C]	
		IC28[SA-16(又はRF5C36)]	
		IC29[MB654419U]	
		オプションボードコネクタCN1	

(Table 1)



(Fig. 1)

●Reading program and data from disk

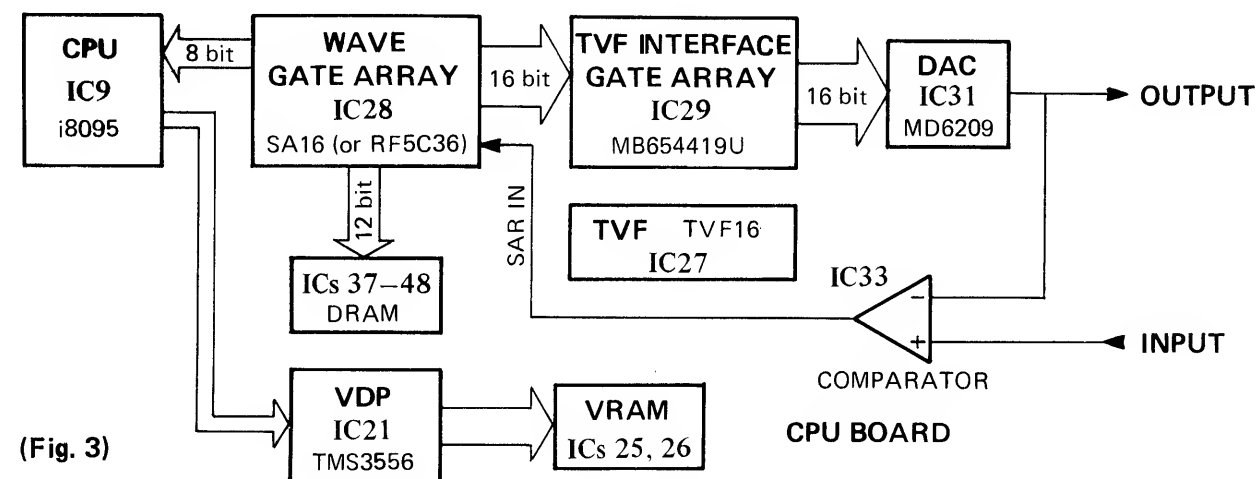


The wave data is stored into DRAMs (ICs 37-48) while the system program and parameters are into SRAMs (ICs 1, 2, 4 and 5).

●フロッピーディスクからのプログラム及びデータの読み込み

波形データはDRAM (IC37~48)へ、システムプログラム及びその他のパラメータはSRAM (IC1, 2, 4, 5)へ格納されます。

●Sampling input signal (in REC mode)



The input signals will be converted into digital equivalents through the A/D converter consisting of the wave gate array (IC28), DAC (IC31) and comparator (IC33). The ADC is a successive approximation type and sends the results to DRAMs (ICs 37-48).

During sampling in REC mode, the TVF gate array (IC29) is limited to function as transparent path i.e. it relays the data from the wave gate array as it is to the DAC for the A/D system to compare with input signals.

The CPU IC9 monitors the input level through the wave gate array and sends the information via VDP (IC21) to VRAMs (ICs 25 and 26) which indicate the level on the screen.

●入力信号のサンプリング(REC時)

ウェーブゲートアレイ (IC28)、D/Aコンバータ (IC31)、コンパレータ (IC33) で逐次比較型のA/Dコンバータを構成しています。

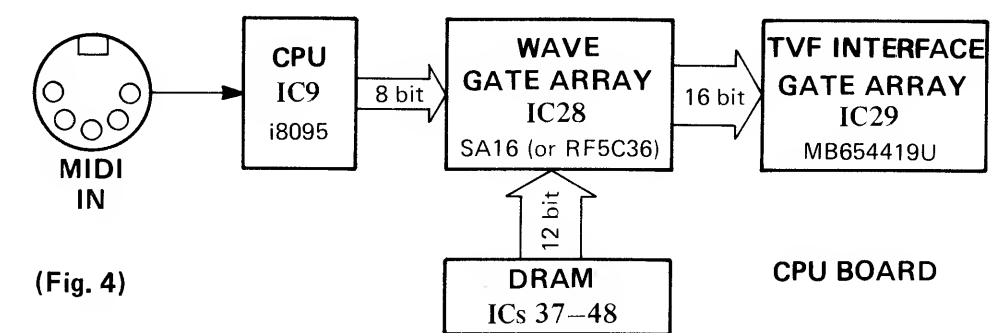
入力信号はこのA/Dコンバータによりデジタルデータに変換され、DRAM (IC37~48)へ格納されます。

サンプリング (REC時) TVFインターフェイスゲートアレイ (IC29)は、ウェーブゲートアレイからの16ビットA/D変換を行なうための比較データをD/Aコンバータ (IC31)にバイパスする働きのみを行ないます。

CPU (IC9)は、ウェーブゲートアレイを通じて INPUT レベルを監視し、VRAM (IC25, 26)にレベルメータのデータを転送します。

●Sound Reproduction (PLAY mode)

1. Wave Data from DRAMs (ICs 37-48)



When the CPU (IC9) acquires MIDI IN note, it constructs information concerning note, envelope and loop and routes them to the wave gate array (IC28).

Using this envelope data, the wave gate array computes along with a 12 bit wave data obtained from DRAMs (IC37-IC48) to have an expanded 16 bit wave data which is to be applied to TVF interface gate array (IC29).

●波形再生(PLAY時)

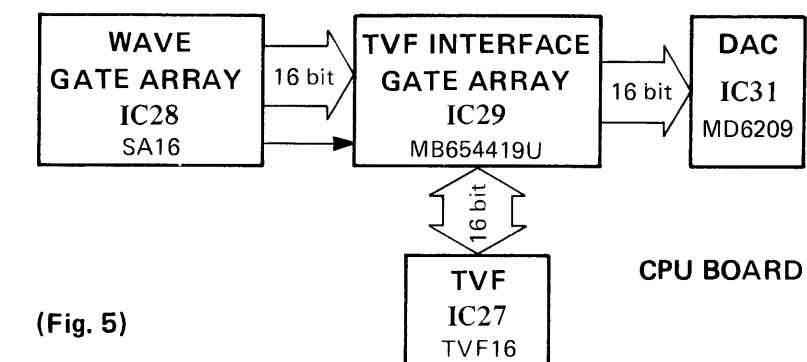
1. DRAM (IC37-48)からの波形データ抽出

CPU (IC9)は、MIDI INからのノート情報を受けると、NOTE, ENVELOPE, LOOPの各情報をウェーブゲートアレイ (IC28)に対して送ります。

ウェーブゲートアレイは、DRAM (IC37~48)から読み込んだ12bitの波形データを、前記のENVELOPE情報の値を基に演算し、16bitのデータに変換します。また、これをTVFインターフェイスゲートアレイ (IC29)に送ります。

2. TVF (IC27) and TVF Interface Gate Array (IC29)

2. TVF (IC27)TVF16及びTVFインターフェイスゲートアレイ (IC29)MB654419U



The IC29, once gets 16-bit wave data from IC28, sends unique data to the TVF (IC27), consecutively on each INH signal.

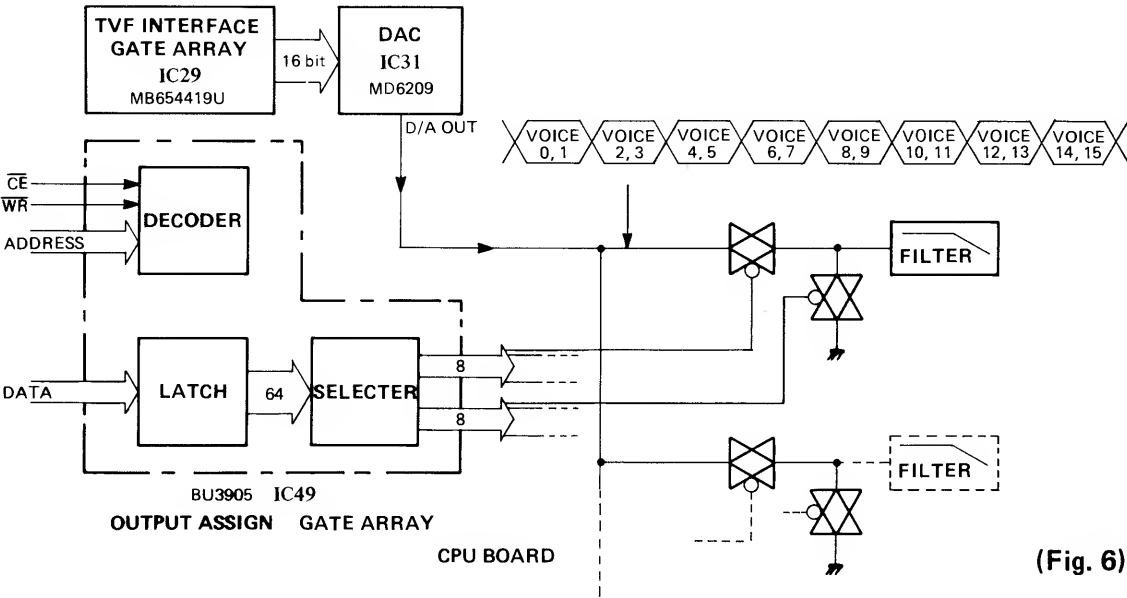
The TVF conditions wave data in response to tone parameters and sends "filtered" waveform data back to the TVF where they are sent to the DAC to become an actual sound.

ウェーブゲートアレイ (IC28)から出力された16bitの波形データは、TVFインターフェイスゲートアレイ (IC29)を介し、INH信号に同期してTVF (IC27)へ送られます。

TVFでは、トーンパラメータの値に基づいた演算を行なう事により、送られてきた波形データをフィルター処理した波形データに置き換えます。

フィルター処理された波形データは、再びTVFインターフェイスゲートアレイにもどり、D/Aコンバータ (IC31)へと送られます。

3. Output Assigner Gate Array BU3905 (IC49)

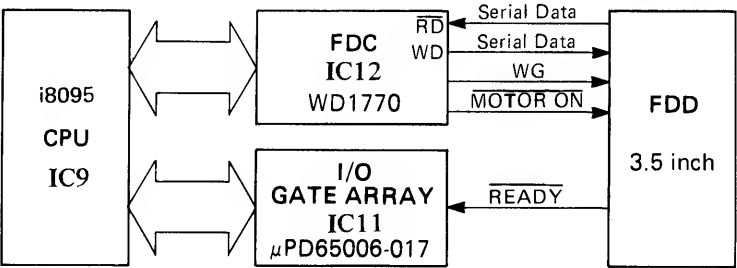


(Fig. 6)

The TVF interface sends 16 voice data (each of 16 bit) in time-division fashion. After D/A converted, each of two consecutive voice pairs is gated into an individual output circuit in the same time slot. The output assigner determines the output channel according to assign information given by the CPU.

TVFインターフェイスゲートアレイ (IC29) から出力される波形データ (16ビット構成で、16ボイスを時分割で送出) は、D/Aコンバータ (IC31) へ加えられます。D/Aコンバータからの出力は、2ボイスを1ペアとしてインディビジュアルアウトへ割り当てられて行きます。どのボイスペアを1から8のどのアウトへ出力するかはアウトプットアサインゲートアレイ (IC49) が、CPU (IC9) からのアサイン情報に基づいて決定します。

■ Disk Read/Write

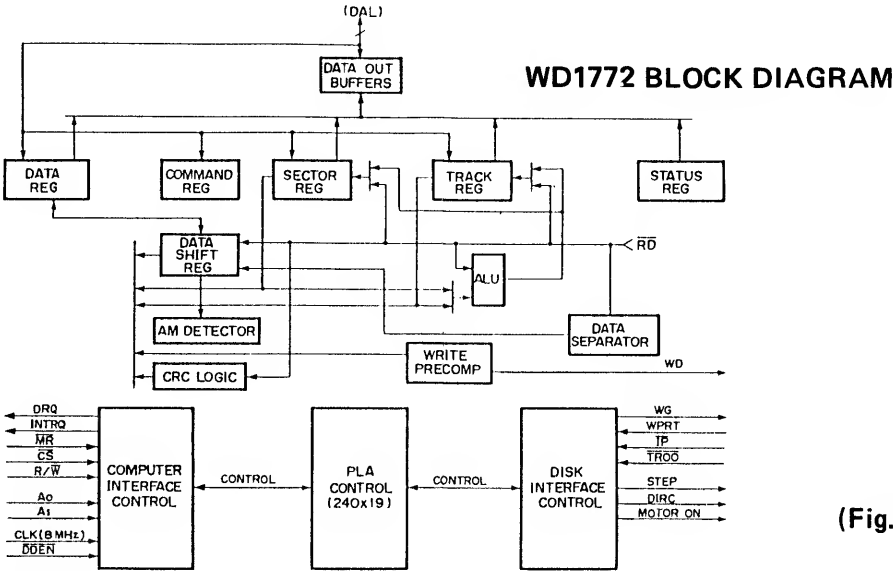


(Fig. 7)

On a read or write command from the CPU, the FDC pulls MOTOR ON low to let the FDD (Floppy Disk Drive) starts the motor. When the motor running has reached stable condition, the FDD signals the CPU through I/O gate with a low READY. The low READY allows the CPU to issue a command which enables reading or writing to/from the disk. In the read mode the FDC reads data from FDD in serial format and sends it to the CPU in parallel 8 bits. In the write mode the FDC first pulls and keeps WG high and then places a data on WD line.

■ ディスクの読み書き

FDCはCPUからリード又はライトコマンドを受けると、FDD (フロッピーディスクドライブ) に対してMOTOR ON信号を送りFDDのモーターを回転させます。FDDはモーターの回転が安定すると、CPUにREADY信号をI/Oゲートアレイを介して送ります。CPUはREADY信号を受けると読み込み又は書き込み動作を開始させます。リード時、FDCはRD端子よりFDDからのシリアルデータを受けとりCPUに転送します。また、ライト時FDCはWG信号をHighレベルにし、WD端子を通じてデータをFDDに書き込みます。



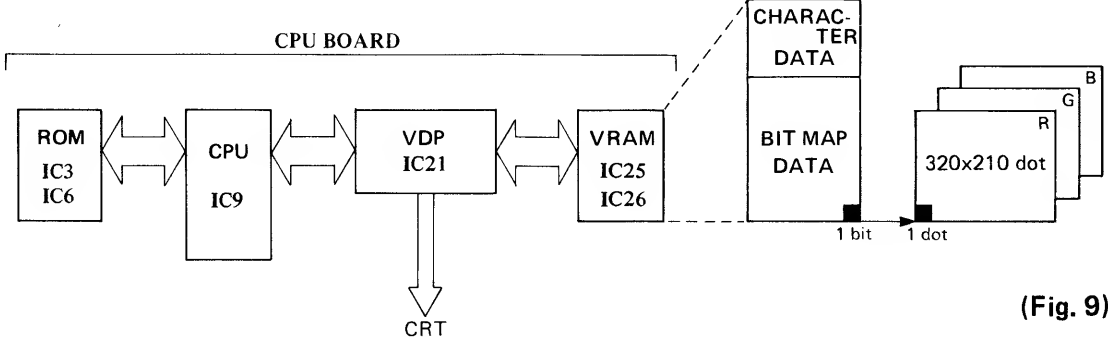
(Fig. 8)

FDC Pin Description

(Table 2)

PIN NUMBER	MNEMONIC	SIGNAL NAME	I/O	DESCRIPTION
1	CS	CHIP SELECT	I	A logic low on this input selects the chip and enables Host communication with the device. Low LevelでCPUとのコミュニケーションが可能になります。
2	R/W	READ/WRITE	I	A logic high on this input controls the placement of data on the D0-D7 lines from a selected register. While a logic low causes a write operation to a selected register. リード・サイクルのときはHigh Level、ライト・サイクルのときはLow Levelにします。
3, 4	A0, A1	ADDRESS 0, 1	I	These two inputs select a register to Read/Write data: 次に示すように、この2つの入力によってリード、またはライト・サイクルにおけるFDC内部のレジスタを選択します。 CS A1 A0 R/W=1 R/W=0 0 0 0 Status Reg Command Reg 0 0 1 Track Reg Track Reg 0 1 0 Sector Reg Sector Reg 0 1 1 Data Reg Data Reg
5-12	DAL0-DAL7	DATA ACCESS LINES 0 THROUGH 7	I/O	Eight-bit bi-directional bus used for transfer of data, control, or status. This bus is enabled by CS and R/W. Each line will drive one TTL load. 8 bitのデータ・バスで、データのやりとりで使用されます。
13	MR	MASTER RESET	I	A logic low pulse on this line resets the device and initializes the Status Register (internal pull-up). Low Levelで、FDCをリセットします。
14	GND	GROUND	I	Ground. 電源グランドに接続します。
15	Vcc	POWER SUPPLY	I	+5V ±5% power supply input. +5V電源に接続します。
16	STEPP	STEP	O	The Step output contains a pulse for each step of the drive's R/W head. ディスク・ドライブにヘッドを動かすためのパルスを送ります。
17	DIRC	DIRECTION	O	The Direction output is high when stepping in towards the center of the diskette, and low when stepping out. ディスク・ドライブのヘッドをHigh Levelでディスクの内側へ、Low Levelでディスクの外側へステップさせるための方向を設定します。
18	CLK	CLOCK	I	This input requires a free-running 50% duty cycle clock (for internal timing) at 8MHz ±0.1%. 8 MHz ±0.1% 50%デューティサイクルのクロックを入力します。
19	RD	READ DATA	I	This active low input is the raw data line containing both clock and data pulses from the drive. ディスク・ドライブからデータを受けます。
20	MO	MOTOR ON	O	This active high output turns on the motor. ディスク・ドライブのモータを制御します。
21	WG	WRITE GATE	O	This output is made valid prior to writing on the disk. ディスク・データを書き込むときにHigh Levelになります。
22	WD	WRITE DATA	O	FM or MFM clock and data pulses are placed on this line to be written on the diskette. データをディスク・ドライブへ送ります。
23	TR00	TRACK 00	I	This active low input informs the WD1770-00 that the drive's R/W heads are positioned over Track zero (internal pull-up). トラック00信号を受けます。この信号はディスク・ドライブのヘッドがディスクの最も外側に位置します。
24	IP	INDEX PULSE	I	This active low input informs the WD1770-00 when the physical index hole has been encountered on the diskette (internal pull-up). インデックス信号を受けます。この信号はディスクが1回転するごとにディスク・ドライブから送られてきます。
25	WPRT	WRITE PROTECT	I	This input is sampled whenever a Write Command is received. A logic low on this line will prevent any Write Command from executing (internal pull-up). ライト・プロテクト信号を受けます。この信号は、ディスクにライト・プロテクトがかかっているときにディスク・ドライブから送られてきます。
26	DDEN	DOUBLE DENSITY ENABLE	I	This input pin selects either single (FM) or double (MFM) density. When DDEN=0, double density is selected (internal pull-up). High Levelで単密度(FM)に、Low Levelで倍密度(MFM)に設定されます。
27	DRQ	DATA REQUEST	O	This active high output indicates that the Data Register is full (on a Read) or empty (on a Write) operation. この出力の立ち上がりでデータ・レジスタがリードのときはフル、ライトのときはエンフティであることをCPUに知らせます。
28	INTRQ	INTERRUPT REQUEST	O	This active high output is set at the completion of any command or reset at a read of the Status Register. この出力の立ち上がりで、コマンドの実行終了をCPUに知らせます。

■ Video Display Processor (VDP) TMS-3556



The figure 9 below shows the block diagram of the VDP, IC74 and associated circuits. The VDP operates either of TEXT and BIT MAP modes.

●Text Mode

In the text mode the CPU sends the VDP a character code and the coordinates of the character on the screen. The VDP fetches the character pattern data from the VRAM character area and displays the character in a 10 by 8 dot matrix on the 21 row by 40 character screen.

●Bit Map Mode

The VRAM bit map area is divided into three portions, each corresponds to color R, G, or B of 320 by 210 dot matrix on the screen. When in this mode, the CPU writes image data into the bit map area. The VDP displays pixel by pixel with specified color.

■VDPビデオ・ディスプレイ・プロセッサ TMS3556

VDPの周辺ブロック図をFig. 9 に示します。
VDPは次の2種類のモードで動作しています。

●テキストモード

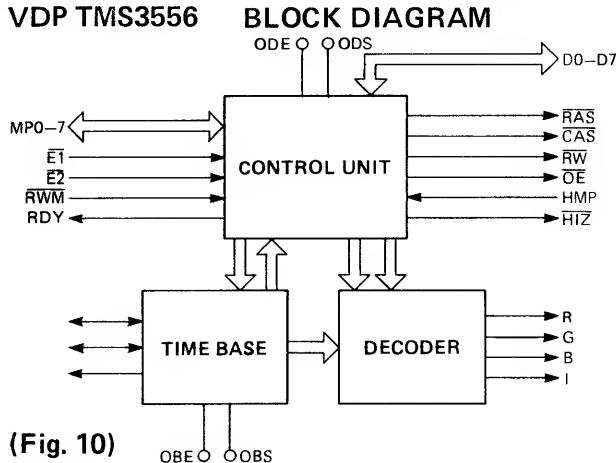
CPUから表示する座標点データと文字コードを受け取ると、VRAM内部のキャラクタ領域から、キャラクタパターンを、読み込み41桁×21行で表示します。

●ビットマップモード

画面を、R、G、B3枚のシートに分解し、1シート(320×210ドット)の1ドットをVRAM内ビットマップ領域の1ビットに対応させて表示します。したがってCPUがVRAMのビットマップ領域へ画面データを書き込む事により、ドット毎に色を指定した各種グラフィック等を、描くことができます。

VDP Pin Description (Table 3)

SIGNAL NAME	PIN NO.	I/O	DESCRIPTION	SIGNAL NAME	PIN NO.	I/O	DESCRIPTION
VGG	1	I	Power Supply: +5.2V	MP3	40	I/O	CPU-VDP Data Bus
MP4	2	I/O	CPU-VDP Data Bus	MP2	39	I/O	CPU-VDP Data Bus
MP5	3	I/O	CPU-VDP Data Bus	MP1	38	I/O	CPU-VDP Data Bus
MP6	4	I/O	CPU-VDP Data Bus	MP0	37	I/O	CPU-VDP Data Bus (MSB)
MP7	5	I/O	CPU-VDP Data Bus (LSB)	SCM	36	O	Composite Sync
CAS	6	O	Column Address Strobe	B	35	O	B信号出力
RAS	7	O	Row Address Strobe	G	34	O	G信号出力
WR	8	O	Memory Write	R	33	O	R信号出力
OE	9	O	Memory Output Enable	I	32	O	Display Mode Select
HIZ	10	O	Not used	SLI	31	I/O	Horizontal Sync
RWM	11	I	CPU-VDP Write	SCT	30	I/O	Vertical Sync
HMP	12	I	Not used, pulled up to +5.2V	OBS	29	O	Time Base Clock Xtal
ODS	13	O	DMA clock Xtal	OBE	28	I	タイム・ベース・タイミング用振動子
ODE	14	I	メモリ・アクセス・タイミング用振動子	E2	27	I	VDP Access Control
READY	15	O	VDP Ready	E1	26	I	VDP Access Control
D7	16	I/O	VDP-Memory Address/Data Bus (LSB)	D0	25	I/O	VDP-Memory Address/Data Bus (MSB)
D6	17	I/O	VDP-Memory Address/Data Bus	D1	24	I/O	VDP-Memory Address/Data Bus
D5	18	I/O	VDP-Memory Address/Data Bus	D2	23	I/O	VDP-Memory Address/Data Bus
D4	19	I/O	VDP-Memory Address/Data Bus	VDD	22	I	Power Supply: +3V
D3	20	I/O	VDP-Memory Address/Data Bus	VSS	21	I	GND



■ I/O Gate Array μPD65006-017 (IC11)

Figure 11 shows an internal block diagram of the Gate Array. The controller generates various control signals which determine the operational timings of most of the system stages. The μPD65006-017, in addition to many I/O parts, has the ports for interfacing with the mouse (MU-1) and remote controller (RC-100).

■ EXT CONTROLLER Socket

This socket enables communications with a synchronous serial format. The pin assignment is as shown below.

■I/O ゲートアレイ μPD65006-017(IC11)

内部ブロック図をFig. 11に示します。
ポート及びコントローラ等を内蔵しており各種コントロール信号の発生、マウス(MU-1)及びリモートコントローラ(RC-100)のインターフェースの役割をします。

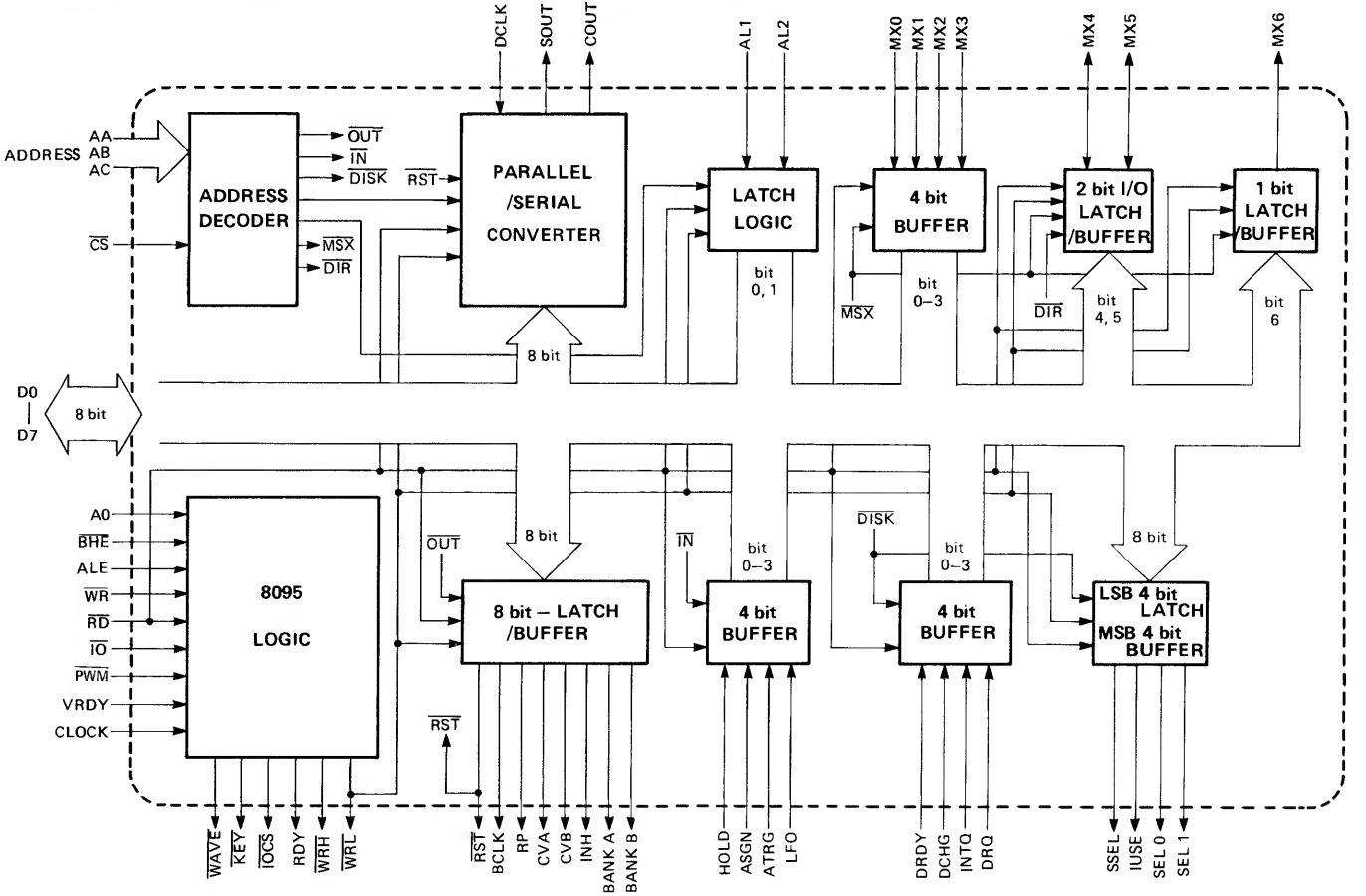
■ディジタイザ[EXT CONTROLLER]用端子

マウス(MU-1)又はリモートコントローラ(RC-100)と同期式のシリアル伝送を行なうための端子です。
各ピン端子機能についてTable 4に示します。

EXT CONTROLLER SOCKET PIN DESCRIPTION

Pin No. 端子番号	Pin Designation 端子名	Function when connected to MU-1 MU-1接続時の機能	I/O	Function when connected to RC-100 RC-100接続時の機能	I/O
1	MX0	UP	I	DATA1 Data input from RC-100	I
2	MX1	DOWN	I	ATN Ready Signal input from RC-100	I
3	MX2	LEFT	I	GROUND	...
4	MX3	RIGHT	I	GROUND	...
5	+5.2V	+5.2V	...	+5.2V	...
6	MX4	LEFT SW	I	CLK1 Sync clock for DATA1	O
7	MX5	RIGHT SW	I	CLK2 Sync clock for DATA2	O
8	MX6	STROBE (CS)	O	DATA2 Data output to RC-100	O
9	GND	GROUND	...	GROUND	...

μPD65006-017 I/O GATE ARRAY BLOCK DIAGRAM (Fig. 11)



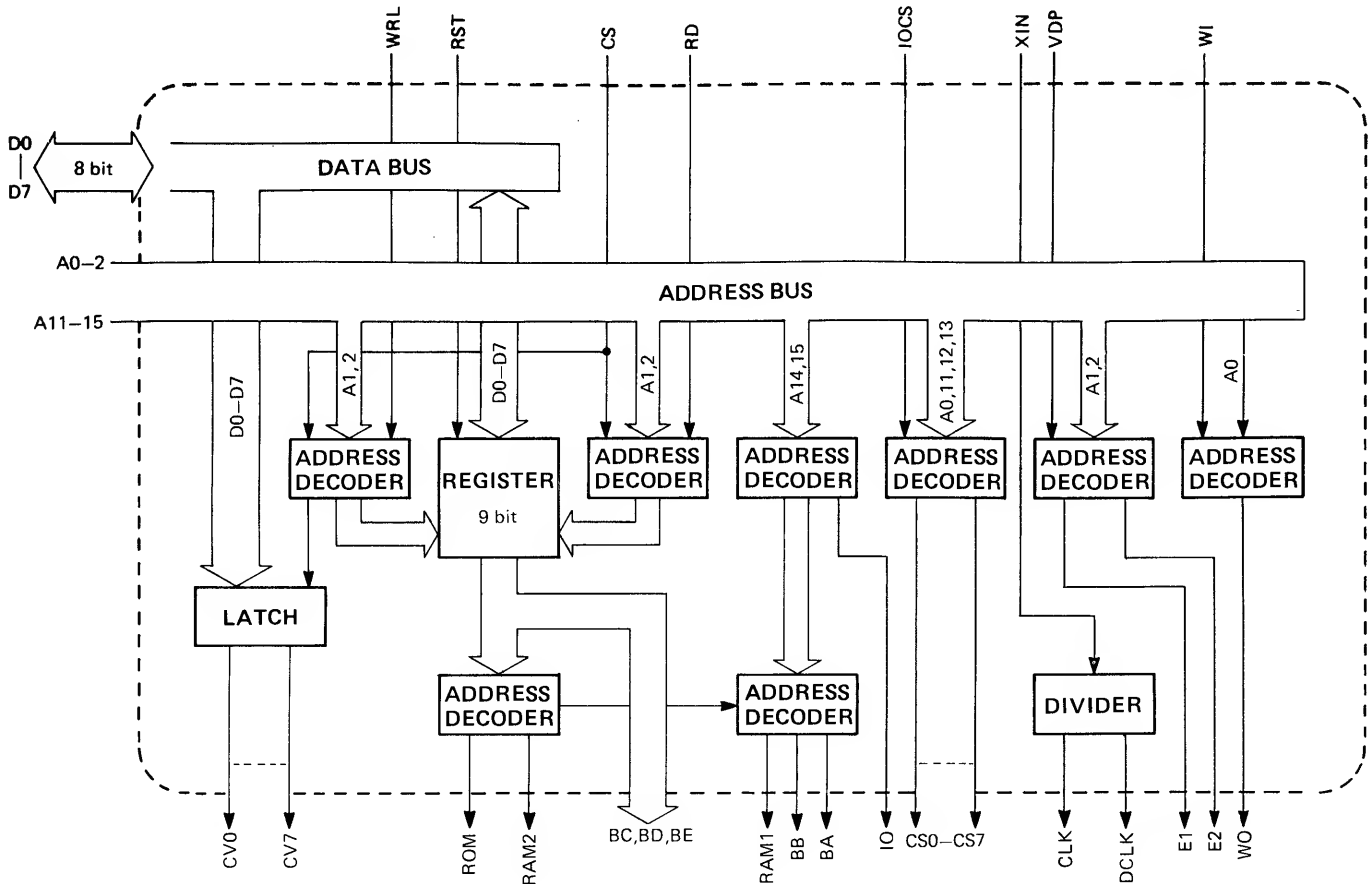
■ I/O Gate Array M60011 (IC10)

Contains as many address decoders as necessary to generate the chip select signals and applies them to the list of the following ICs under its control.
Also includes a clock divider and a data latch.

■ I/O ゲートアレイ M60011(IC10)

アドレスデコーダ、クロック分周器、データラッチ等を内蔵しています。
また、下記の各周辺デバイスに対してチップセレクト信号を出力します。

- IC12 FDC WD1772
 - IC21 VDP TMS3556NL
 - IC17 SW SCAN GATE ARRAY M6003A
 - IC3,6 P-ROM
 - IC1,2,4,5 S-RAM
 - IC28 WAVE GATE ARRAY SA-16(又はRF5C36)
 - IC29 TVF INTERFACE GATE ARRAY MB654419
 - IC49 OUTPUT ASSIGN GATE ARRAY BU3905



(Fig. 12)

CHECKING AND ADJUSTMENT

■ Power Supply (+5.2)

CAUTION

Make sure that connectors CN1 and CN4 of the power supply board are firmly connected to CN11 and CN10 of the CPU board, respectively. Note that the Analog ground path (AG) and Digital ground path (DG) of the power supply board are electrically indepent of the other.

1. Turn the S-550 on.
2. Connect a voltmeter across TP +5(+5.2) and TPDG of the power supply board.
3. Adjust VR1 of power supply board for +5.5V reading. If VR1 fails to adjust, refer to the NOTE below.

NOTE: With products SN below 841699

If VR1 cannot bring the TP+5V to +5.2V, first check R6 for value.
Replace with 30kΩ if the existing value is 27kΩ.
All the products SN 841600 and up have 30kΩ R6.

点検および調整

■ 電源電圧(+5.2V)の調整

注意

パワーサプライボードのCN1とCPUボードのCN11及びパワーサプライボードのCN4とCPUボードのCN10は必ず接続した状態で行なって下さい。
パワーサプライボード上において、AG(アナログGND)とDG(デジタルGND)は接続されていません。

1. S-550 本体の電源スイッチを入れる。
2. デジタルボルトメータ(又はテスタ)をパワーサプライボードのTP+5V(+5.2V)とTPDGに接続する。
3. メーターの指示が+5.2Vになるように、パワーサプライボードのVR1を調整する。調整不能の場合は下記参照。

電圧が+5.2Vまで上昇しない時は、パワーサプライボードのR6の値をチェックし、27KΩの場合は、30KΩに変更して下さい。
製番841600以降の製品はすべて30KΩになっています。

■ Audio Stage

1. Turn the S-550 off.
2. Connect the S-550 to an oscilloscope. Turn the scope on.
3. Holding down **1** button, turn the S-550 on... keep **1** button until the CRT displays "Please Insert System Disk".
4. Insert the utility disk into the disk slot.
5. When the first access to the disk is complete, press **UTILITY**, and then **MENU**. The utility menu is read from the disk and written into internal memory.
6. Select "Sampling" from the screen using the cursor buttons and press **EXCUTE**.
7. Connect INPUT jack to an audio generator and apply a 3Vpp, 1kHz sine signal.
8. Select LINE using LINE/MIC button. Set REC LEVEL to MAX.
9. Connect the scope to TPDA (DAC OUT) with ground at TPAG (analog ground).

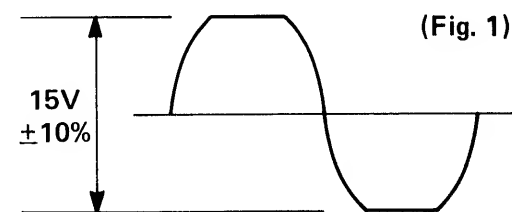
■ AUDIO回路チェック

1. 一旦S-550 本体の電源を切る。
2. S-550 とCRTとを接続し、CRTの電源を入れる。
3. **1**のボタンを押しながら電源スイッチを入れる。ただし、**1**のボタンはCRTに "Please Insert System Disk" というメッセージが表示されるまで押しつけておくこと。
4. 付属のユーティリティディスクを挿入する。
5. ディスクを読み終えたら **UTILITY** , **MENU** の順にボタンを押す。
ディスクからユーティリティのメニューがロードされる。
6. カーソルボタンで "Sampling" の欄にカーソルを移動し **EXCUTE** ボタンを押す。
サンプリングモードになる。
7. INPUT に発振器を接続し、1 KHz , 3Vp-pを加える。
8. S-550 のLINE/MIC 切換をLINE側、REC LEVELを最大にセットする。
9. CPUボードのテストピンTPDA(D/Aコンバータアウト) - TPAG(アナログGND)間にオシロスコープを接続する。

10a. Shift the cursor to "Limiter" position on the screen and press **DEC/NO** button to turn off the limiter. Verify the waveform, as shown in Fig. 1, on the scope.

10b. With the cursor at "Limiter" position, press **INC/YES** button to turn on the limiter. Verify the waveform as shown in Fig. 2.

Also verify that the level meter on the CRT is reading red.



(Fig. 1)

11. (With limiter on) Shift the scope lead to MIX OUT. Set VOLUME to MAX. The waveform on the scope should be as shown in Fig. 3.

10. LIMITER ON/OFFを切り換えた時の(CRT画面上で設定)オシロスコープの波形を確認する。

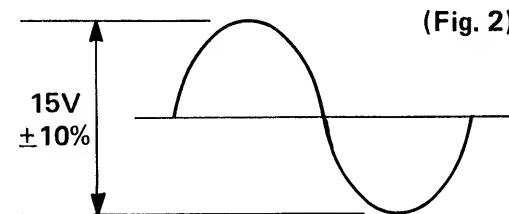
★LIMITER OFF時 (Fig. 1)

設定方法 カーソルボタンをLimiterの設定状態の項目に合わせ、**DEC/NO** ボタンを押す。

★LIMITER ON時 (Fig. 2)

設定方法 カーソルボタンでカーソルをLimiterの設定状態の項目に合わせ **INC/YES** ボタンを押す。

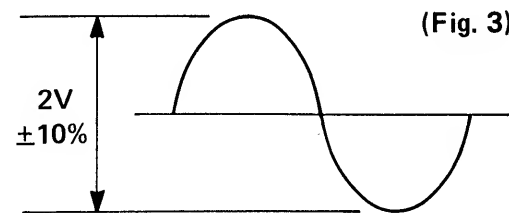
この時CRT画面のレベルメータがレッドゾーンに入っていることも確認する。



(Fig. 2)

11. 上記LIMITER ONの状態のままで、オシロスコープをMIX OUTに接続し直し、VOLUMEを最大にする。

この時、オシロスコープの波形が(Fig. 3)のようになることを確認する。



(Fig. 3)

■ Test Mode Entering Test Mode

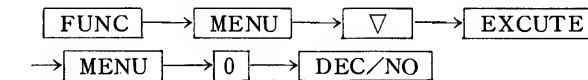
1. Turn the CRT off.
2. Press and hold **1** button and turn the S-550 on ... keep **1** button on until "Please insert System Disk" is displayed.
3. Insert the utility disk supplied with the S-550. The disk version number will be displayed. (The disk should be of Ver. 1.01 and up. Otherwise, some functions in the Test mode cannot be performed correctly.)

■ テストモード テストモードの立ち上げ方

1. 一旦S-550の電源を切る。
2. S-550の**1**のボタンを押しながら電源スイッチを入れる。ただし、**1**のボタンは、CRTに"Please Insert System Disk"というメッセージが表示されるまで押しつけておくこと。
3. 付属のユーティリティディスク[Ver. 1.01以降のもの]を挿入する。

注意 ユーティリティディスクがVer. 1.00のものは、テストモードプログラムの一部にバグがあるため正しく働きません。バージョンは立ち上げ時CRTに表示されます。

4. After the initial reading from the disk is complete, press the following buttons in the order of arrows.



The CRT will display "Hacker mode". (Fig. A)

5. Press **UTILITY** and **MENU** in that order to load the utility menu data from the disk.
6. Using the cursor buttons, position the cursor at "The Test". Press **EXECUTE** button and the Test Mode Menu is displayed.

4. ディスクを読み終えたら、下記の順に従ってボタンを押す。

CRT画面がFig. Aのように表示され、ハッカーモードになっていることを確認する。

5. **UTILITY** → **MENU** の順にボタンを押す。ディスクからユーティリティのメニューがロードされ、CRT画面にユーティリティのメニューウィンドウが表示されます。
6. カーソルボタンで"The Test"の欄にカーソルを移動し **EXECUTE** ボタンを押す。CRT画面にテストモードのメニューウィンドウが表示される。(Fig. B)

■ Test Programs

○ Wave Check

This is to test array of 1M bit DRAM memory consisting of ICs, 37-48 for wave data.

In the main menu of the test program perform the following.

1. Position the cursor to "Wave Check" and press **EXECUTE**. The program will perform the following tests while displaying counts in hexadecimal number from 00 to F, in brackets in the test title field.
 - Writes test data into DRAMs ICs, 37-48 during the 1st counting cycle.
 - Reads the test data from the DRAMs during the second counting cycle and compare them with those written into previously.
 - Displays "Complete" when all DRAMs are verified to be intact.
 - Displays, when mismatched bit pair(s) is detected, error messages as exemplified in Fig. C.

■ 各テストプログラムの項目について

○ Wave Check

ウェーブデータ用メモリ[IC37-48(1MビットDRAM)]の検査を行います。

▲実行のさせ方

カーソルボタンで"Wave Check"の欄にカーソルを移動し **EXECUTE** ボタンを押す。

▲検査内容について

実行させると00からFFまで16進数で2回カウントし、CRT画面に表示します。(その間、次の内容を実行します)

1回目のカウント時にDRAM(IC37-48)ヘデータを書き込み、2回目のカウント時にDRAMからデータを読み込んで、書き込んだ値と比較し、DRAMが正常かを検査します。

DRAMが全て正常であればCompleteと表示します。不良のDRAMを検出した場合、Fig. Cのようなエラーメッセージを表示します。各メッセージの意味は以下の通りです。

- Error bank エラーの出たDRAMのバンクを表示します。バンク名とIC番号との対応表をTable Aに示します。

- Error bank ... Indicates the bank on which the DRAM showing error status exists.

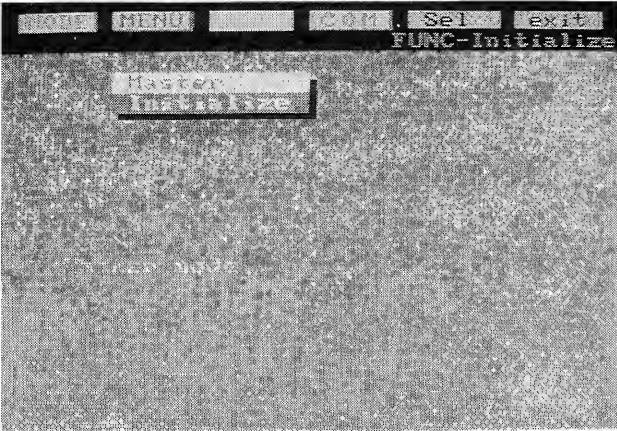
バンク名、IC番号対応表

バンク	IC番号
A	39, 43, 47
B	37, 41, 45
C	40, 44, 48
D	38, 42, 46

(Table A)

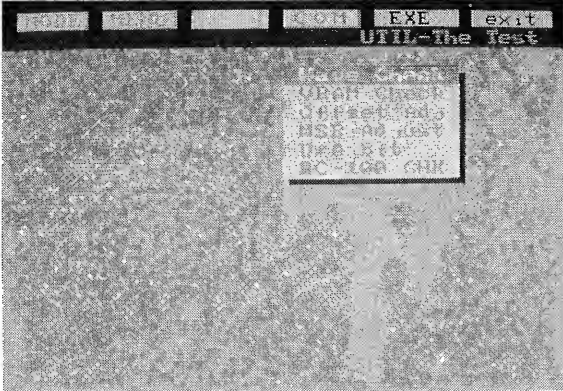
- Error address Indicates the address assigned to the defective memory cell in that DRAM.
- Correct pattern . . . The value written into the DRAM.
- Error pattern The value read from the DRAM.

(Fig. A)

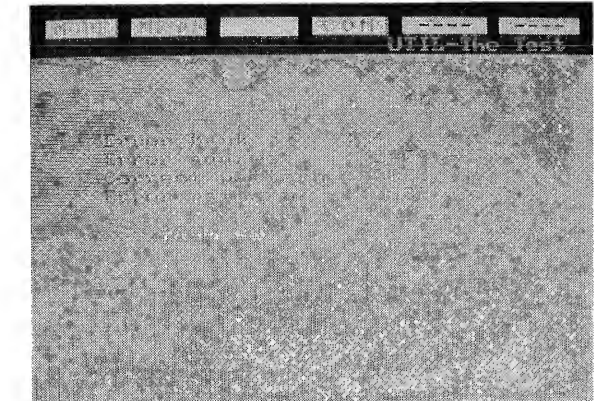


- Error Address エラーの出たウェーブメモリー (D-RAM)のアドレスを表示します。
- Correct pattern D R A Mへ書き込んだ値を表示します
- Error pattern D R A Mから読み込んだ値を表示します。

(Fig. B)



(Fig. C)



2. Return to the menu window by pressing **COMMAND**.

○ VRAM Check

This test routine program is not completed yet. Better to skip to the next test. If already running in this test, press **COMMAND** to return to the menu window.

- ▲メニューウィンドウへのもどり方
COMMAND ボタンを押す。

○VRAM Check

- CRT画面に縞模様を一瞬表示します。
- 注意 本テストプログラムでVRAMの良否判定を行なうことはできません。
- ▲実行のさせ方
カーソルボタンで“ VRAM Check ”の欄にカーソルを移動し **EXCUTE** ボタンを押す。
- ▲メニューウィンドウへのもどり方
COMMAND ボタンを押す。

○ Offset Adjustment

This compensates for offsets at the DAC (IC31) and op amp (IC32b). In practice the offset will generate transient noise upon turning on or off of analog switches (ICs 51, 53, 55, 57) functioning as output assigner.

1. Connect MIX OUT to a monitor amp.
2. Select “Offset Adj” in the menu window with cursor, then press **EXCUTE**. The program enters into test mode and generates random pulse noises for use in the adjustment.
3. Adjust VR1 (CPU board) for the least noise amplitude.
4. Press **EXCUTE**.
5. Press **COMMAND** to return to the menu window.

○ MSB Adjustment

This adjusts the weight of MSB at DAC output. Lack of this adjustment will make unpleasant sound during the release period (after release of a key).

1. Connect MIX OUT to the monitor amp.
2. Position the cursor in front of “MSB Adj” and press **EXCUTE**. The S-550 enters into MSB Adj mode and generates a continuous test signal.
3. Adjust VR2 for a minimum sound level.
4. Press **EXCUTE** to display “Complete”.
5. Press **COMMAND** to return back to the menu window.

○Offset Adjustment

- D/Aコンバータ (I C 3 1) 及びオペアンプ (IC32b) のオフセット調整
- この調整ポイントがズレていると、アウトプットアサイン用のアナログスイッチ (I C 5 1 , 5 3 , 5 5 , 5 7) が ON-OFFした時に、ノイズが出る事があります。

▲調整方法

1. モニターアンプを MIX OUT に接続する。
 2. カーソルボタンで“ Offset Adj ”の欄にカーソルを移動し、 **EXCUTE** ボタンを押す。(本テストモードへ入る)
- 調整用の持続音が出力される。(この時ランダムなパルス性のノイズ音も同時に出力されますが、これは異常ではありません)
3. 調整用の持続音が最少になるように CPU BOARD の VR 1 を調整する。
 4. **EXCUTE** ボタンを押す。(“ Complete ”が表示される)
 5. **COMMAND** ボタンを押し、メニューウィンドウへもどる。

○MSB Adjustment

- D/AコンバータのMSB補正
- この調整ポイントがズレていると、音のリリース (鍵盤を離した後の余韻) の部分が濁ることがあります。

▲調整方法

1. モニターアンプを MIX OUT に接続する。
 2. カーソルボタンで“ MSB Adj ”の欄にカーソルを移動し、 **EXCUTE** ボタンを押す。(本テストモードへ入る。)
- 調整用の接続音が出力される。
3. (調整用の) 持続音の音量が最少になるようにVR2を調整する。
 4. **EXCUTE** ボタンを押す。(“ Complete ”が表示される)
 5. **COMMAND** ボタンを押し、メニューウィンドウへもどる。

○ D/A Bit

This test examines the bits at the DAC.

1. Connect the monitor amp and scope in parallel to MIX OUT.
2. Position the cursor at "D/A bit" in the menu window and press **EXCUTE**.

Test Program

Entering this mode displays the list relating panel switches to bits. Pressing a defined switch will set the corresponding D/A bit (bit 0 to bit 12) which will generate a square-like waveform, resulting in an audio sound from OUTPUT.

The GND on the screen means all "0" bits, and the MAX all "1" bits. Audio sound also reflects these level notations.

NOTE: This test ignores MSB 3 bits, placing them at 0 level.

3. Press panel buttons defined in the screen one by one and verify that the 0 button generates 0 (GND) output, the 2 button generates the voltage as large as twice that generated from button 1. The button 3 generates 4 times the button 1, etc. FUNC should generate the maximum voltage of 3.4Vpp.
4. Press **EXCUTE**. ("Complete" displayed)
5. Press **COMMAND** to return to the menu window.

○ RC-100 CHK

This test checks functions of the remote controller, RC-100 as well as makes it possible to check mouse, MU-1 and footswitch, DP-2 that are to be used with the RC-100.

Testing

1. Position the cursor at "RC-100 CHK" field by using the cursor buttons and then press **EXCUTE** to enter into the test mode. (Fig. E)
2. Connect MU-1 and DP-2 (s) to the correct jacks on the RC-100, respectively (one DP-2 to either of REC or START/STOP; or two DP-2's to both).
3. Connect the RC-100 to the S-550 and press RESET on the RC-100 panel.

○D/A bit

D/Aコンバータ回路のビット検査を行います。

▲検査方法

1. モニターアンプとオシロスコープを MIX OUTに並列に接続する。
2. カーソルボタンで "D/A bit" の欄にカーソルを移動し、**EXCUTE** ボタンを押す。(本テストモードに入る)

検査プログラム説明

本テストモードに入ると、CRT画面にパネルのスイッチとD/Aコンバータの各ビットとの対応表が表示されます。(Fig. D)この表に示されている任意のスイッチを押すと、そのスイッチに対応しているD/Aコンバータのビット(bit 0-12)のみが立ち、矩形波に近い音でOUTPUTから出力されます。対応表のGNDとはすべてのビットが立たず出力が無いことを表わし、またMIXとはすべてのビット(bit 0-12)が立っており出力が最大であることを表わしています。

注意 D/Aコンバータは16ビットですが、この検査プログラムでは下位13ビット(bit 0-12)のチェックのみで、上位3ビットは無視(常にビットは立たない状態に)しています。

3. 対応表に従いパネル上のスイッチを押し、GNDでは出力がゼロ、bitを1つ上げていくごとに出力レベルが倍々となっていくことを確認する。またMax時、出力レベルが約3.4Vp-pであることを確認する。
4. **EXCUTE** ボタンを押す。("Complete"が表示される。)
5. **COMMAND** ボタンを押し、メニューウィンドウへもどる。

○RC-100 CHK

リモートコントローラーRC-100の動作チェックを行います。

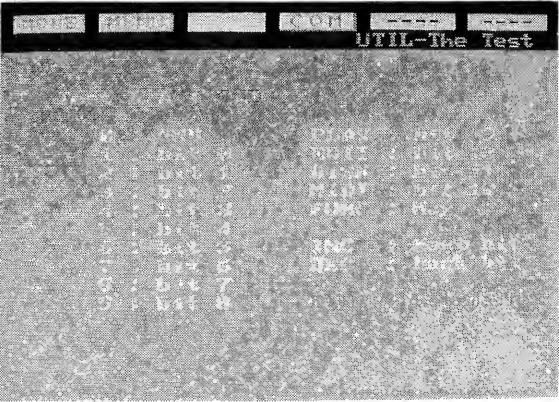
(RC-100に接続するマウスMU-1及びフットスイッチDP-2も同時にチェック可能です。)

▲検査方法

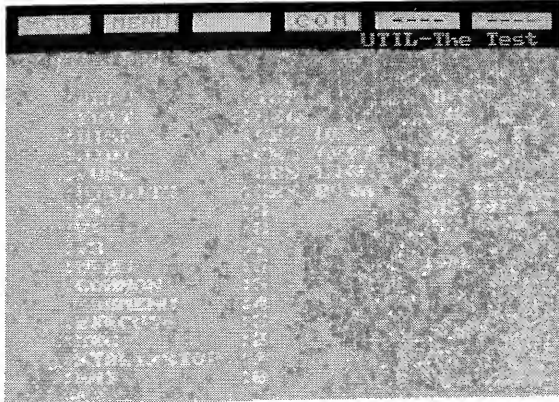
1. カーソルボタンで "RC-100 CHK" の欄にカーソルを移動し、**EXCUTE** ボタンを押す。(本テストモードへ入る。Fig. E)
2. MU-1及びDP-2をRC-100に接続する。
3. RC-100をS-550に接続し、RC-100のリセットボタンを押す。

4. Press **INC/YES** button on the S-550 to display the table as shown in Fig. F on the screen.
5. Press a button on the RC-100; a mark should appear in front of the field given the button name just pressed. Proceed to the remaining buttons and confirm the mark for each button name field. Also check the LED, if any, in a button for lighting, upon pressing the button.
6. Rotate the alpha dial counterclockwise; "FF" should appear just below "DIAL" on the screen. rotate the dial clockwise and "0" should appear.
7. Move the mouse in directions and confirm the mark appearing in front of each MS direction field (e.g. "MS UP"). Also check "MS SW" fields for a mark upon pressing the switch on the mouse.
8. Press **EXCUTE** to display "Complete".
9. Press **COMMAND** to return back to the menu window.
10. Re-enter into RC-100 CHK mode by positioning the cursor at "RC-100 CHK" field and pressing **EXCUTE**.
11. Depress DP-2(s). A mark should appear in front of "REC" (or REC and START/STOP) on the screen.
12. Press **EXCUTE** to display "Complete".
13. Press **COMMAND** to return to the menu window.

(Fig. D)



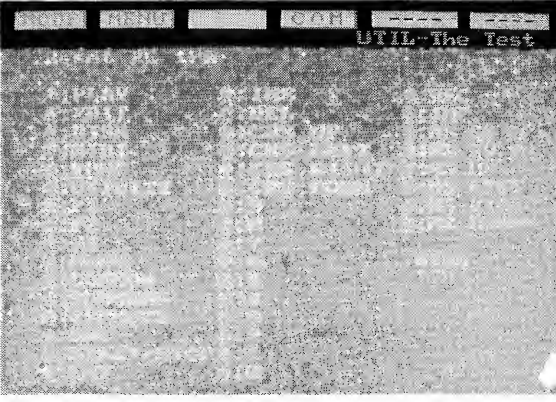
(Fig. F)



(Fig. E)



(Fig. G)





- Software Version Display Mode
- Running in this mode causes the CRT to display the software versions of the system disk and ROM on the S-S-550.
1. Connect the S-550 to the CRT. Turn the CRT on.

2. Press and hold 1 button on the S-550 and turn the power on . . . keep 1 button on until “Please Insert System Disk” is displayed.

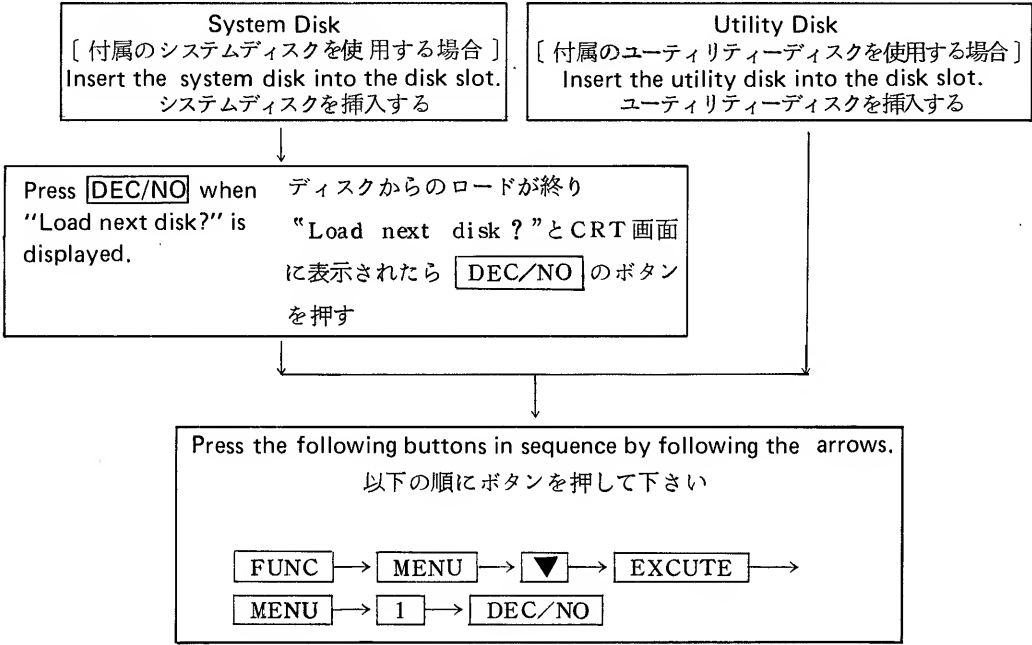
3. Insert the system disk or the utility disk into the disk slot.

- バージョン確認モードについて
- 本モードを用いる事により、システムプログラムバージョン（小数点以下2桁まで表示）及び本体内のROMバージョンをCRTの画面で確認することができます。
1. S-550とCRTとを接続し、CRTの電源を入れる。

2. S-550の  のボタンを押しながら電源スイッチを入れる。

ただし、 のボタンはCRTに“Please Insert System Disk ”というメッセージが表示されるまで押しつづけておく事。

3. 使用するディスクにより手順が異なります。以下に従い操作を行なって下さい。



Upon pressing  , both system program version and ROM program version are displayed.

CRT画面にシステムプログラムのバージョンと本体内のROMのバージョンが表示されます。

CHANGE INFORMATION

- Power Supply Board

Change R6 from 27kΩ to 30kΩ
EFF. SN841600-up
Reason for change
DC supply voltage adjustment may be affected (lower than spec.) by slight variation in electrical characteristics of components on the P.S. board. This change makes the DC adjustment immune from such standard variations.
Some products, even prior to SN841600, have 30kΩ instead of 27kΩ installed at the factory. This fact implies the existing 27kΩ would need be replaced after replacement of some components on the P.S. board.
- CPU Board

Changes IC28 Gate Array from RF5C36 to SA16
EFF. SN852900-up
Reason for change
To adopt newly developed gate array.
This change maintains full compalibity.
- Analog Board

Change R66 330kΩ to 470kΩ.
EFF. SN841735-up
Reason for change
Eliminates transient click on power ON/OFF.

変更案内

- パワーサプライボード R6 27kΩ→30kΩ

実施製番 SN841600

変更理由

電源回路素子のバラツキにより電圧調整ができないものがあるため

SN841600 未満の製品でも工場出荷時調整のとれないものはすでに変更されています。
[調整仕様の項目参照]
- CPUボード ウェーブゲートアレイ IC28

RF5C36→SA16

実施製番 SN852900

変更理由 [新カスタムIC採用のため]
RF5C36とSA16は互換性があります。
- アナログボード R66 330kΩ→470kΩ

実施製番 SN841735

変更理由

電源オフ時のクリックノイズ防止

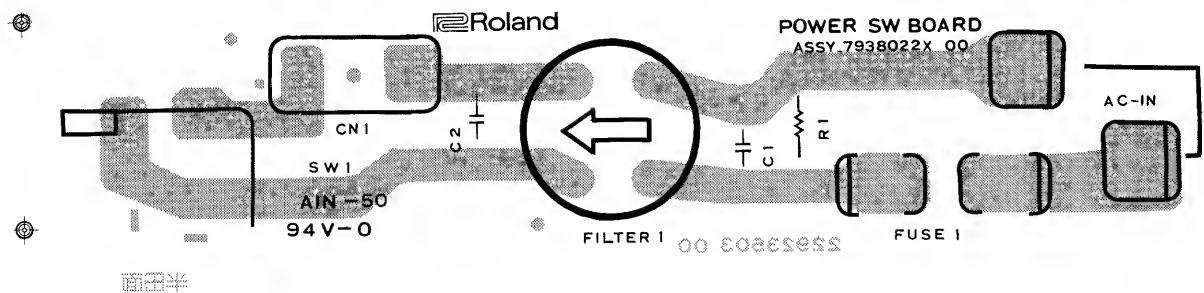
POWER SW BOARD

Assy 79380221 100/117V
 79380224 220V
 79380225 240V
 (pcb 2292350300)

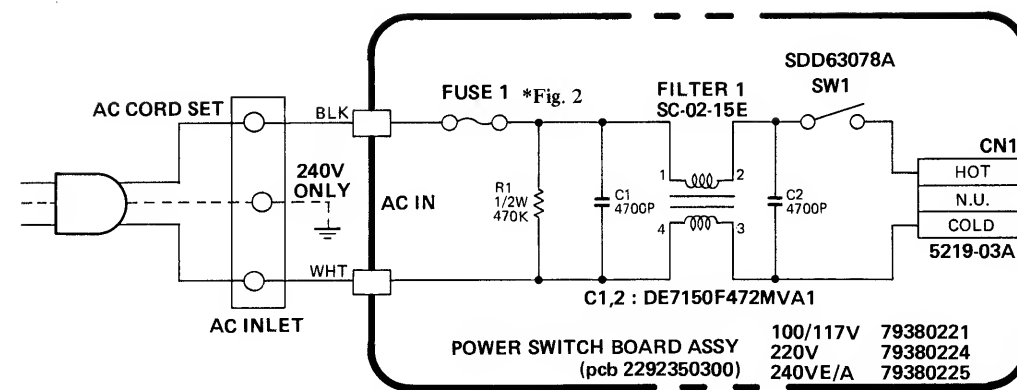
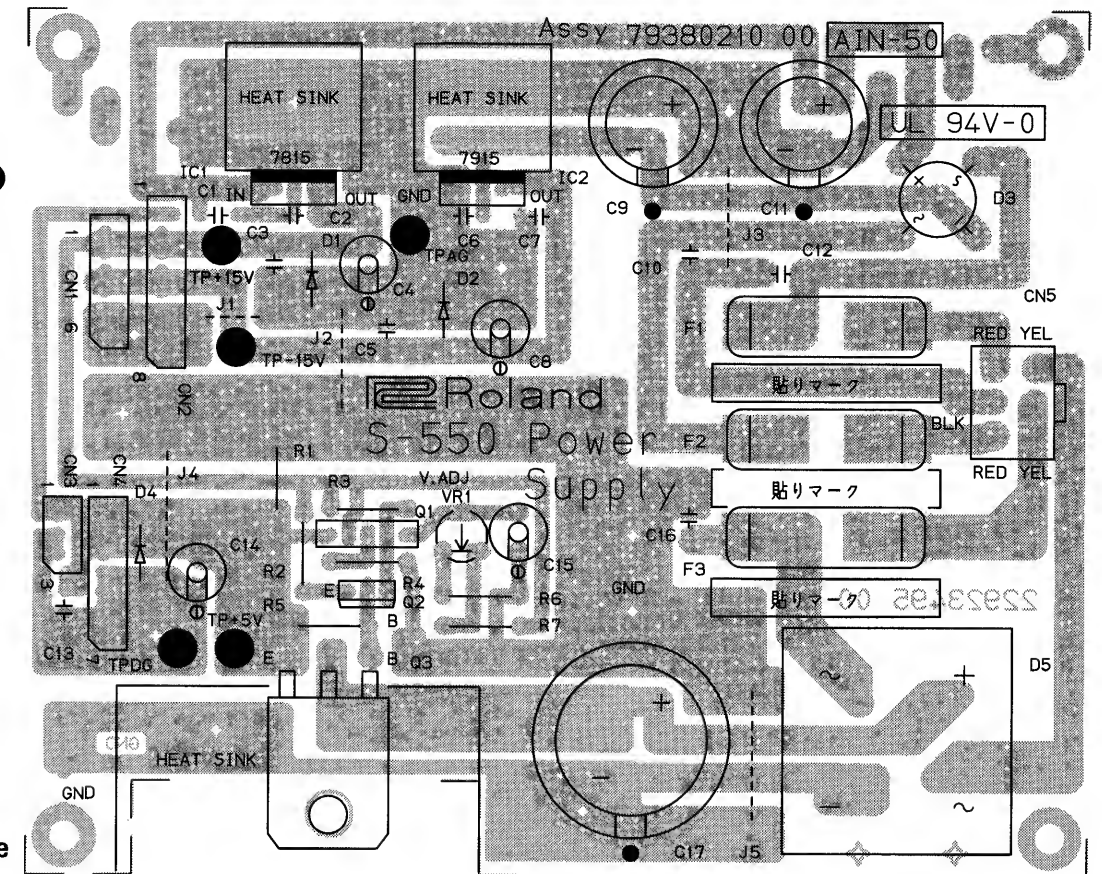
POWER SUPPLY BOARD

Assy 79380211 100/117V
 79380214 220/240V
 (pcb 2292349500)

View from component side



View from component side

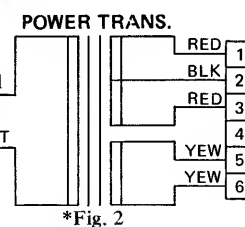


AC V	COLOR
100V	BLU
120V	GRN
220V	BWN
240V	RED

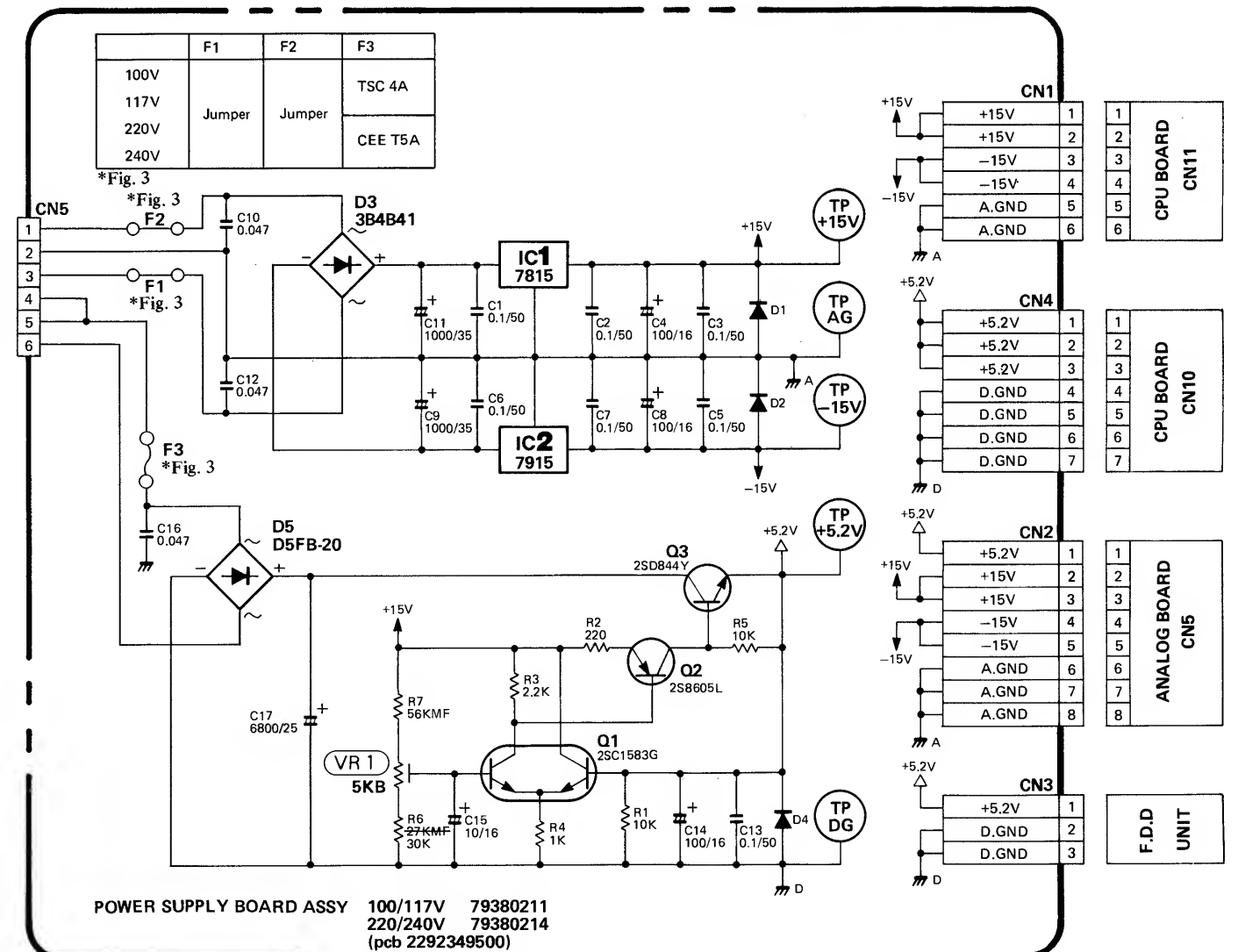
*Fig. 1

	FUSE 1	POWER TRANS.
100V	T-GGS 5A	22453489
117V	T-GGS 5A	22453490
220V	CEE T5A	22453491
240VE/A	CEE T5A	22453492

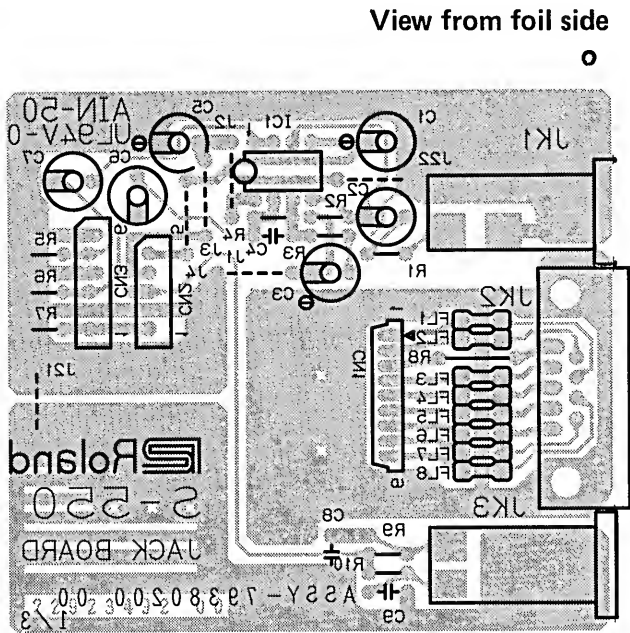
*Fig. 2



*Fig. 2

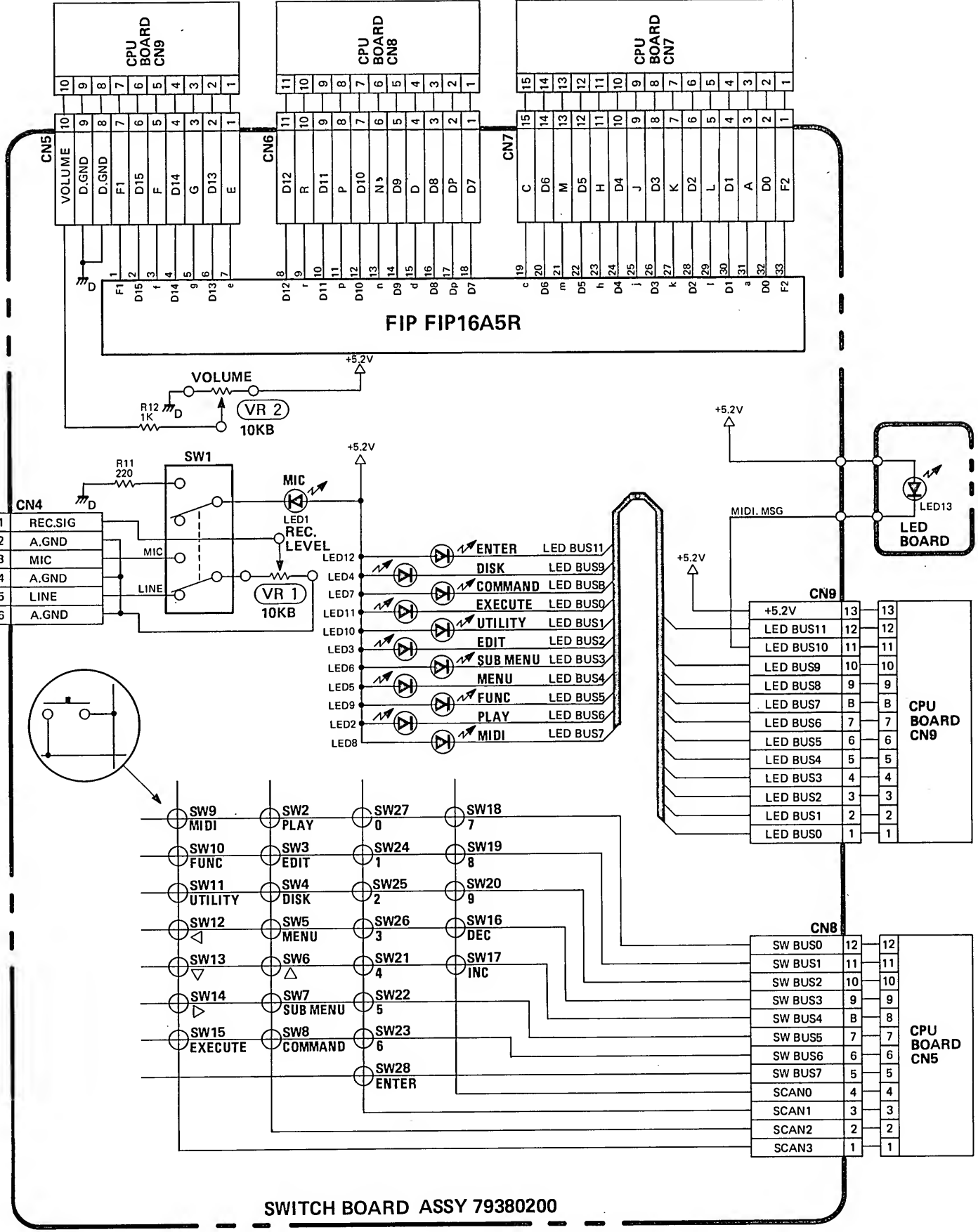
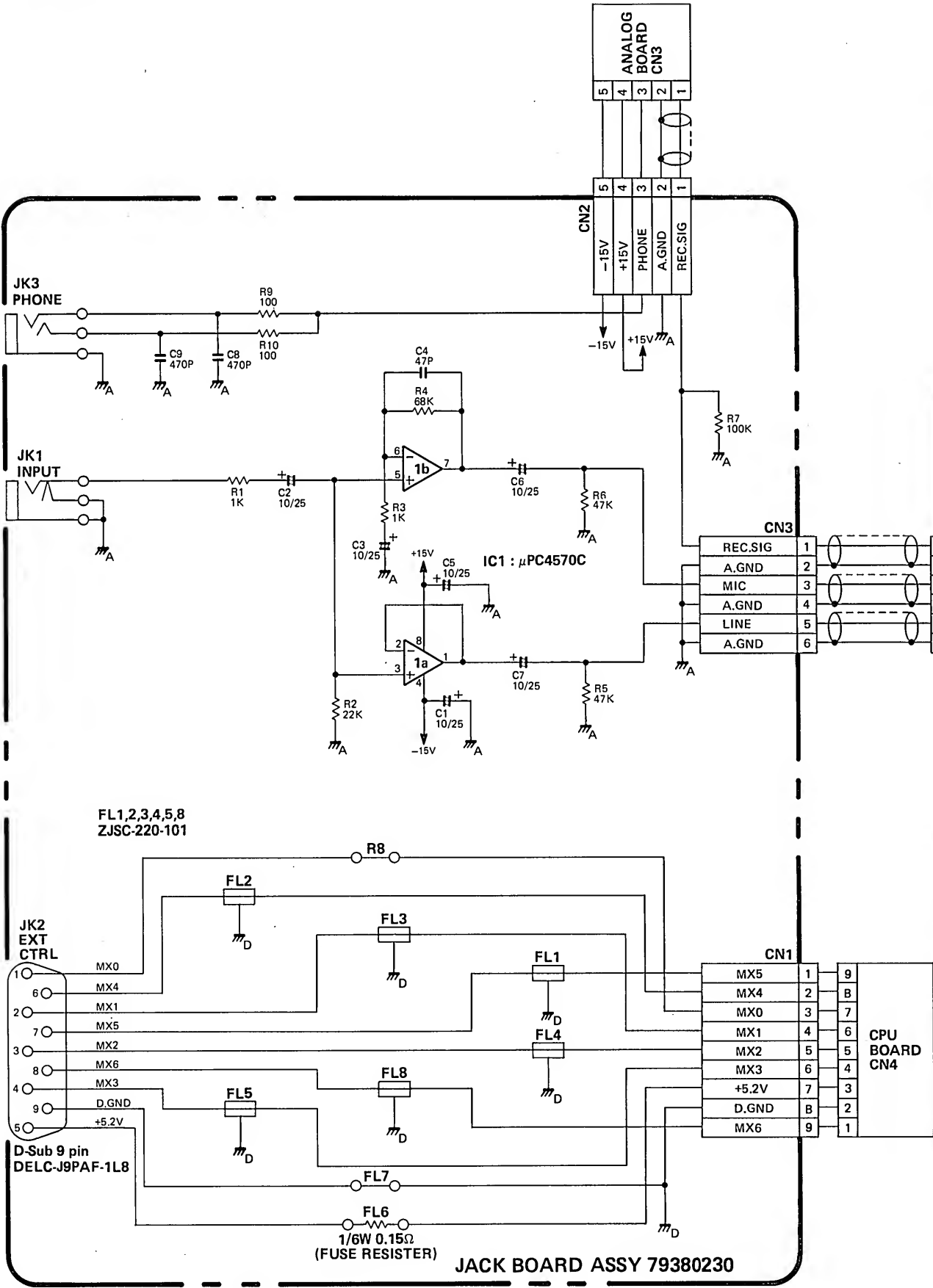
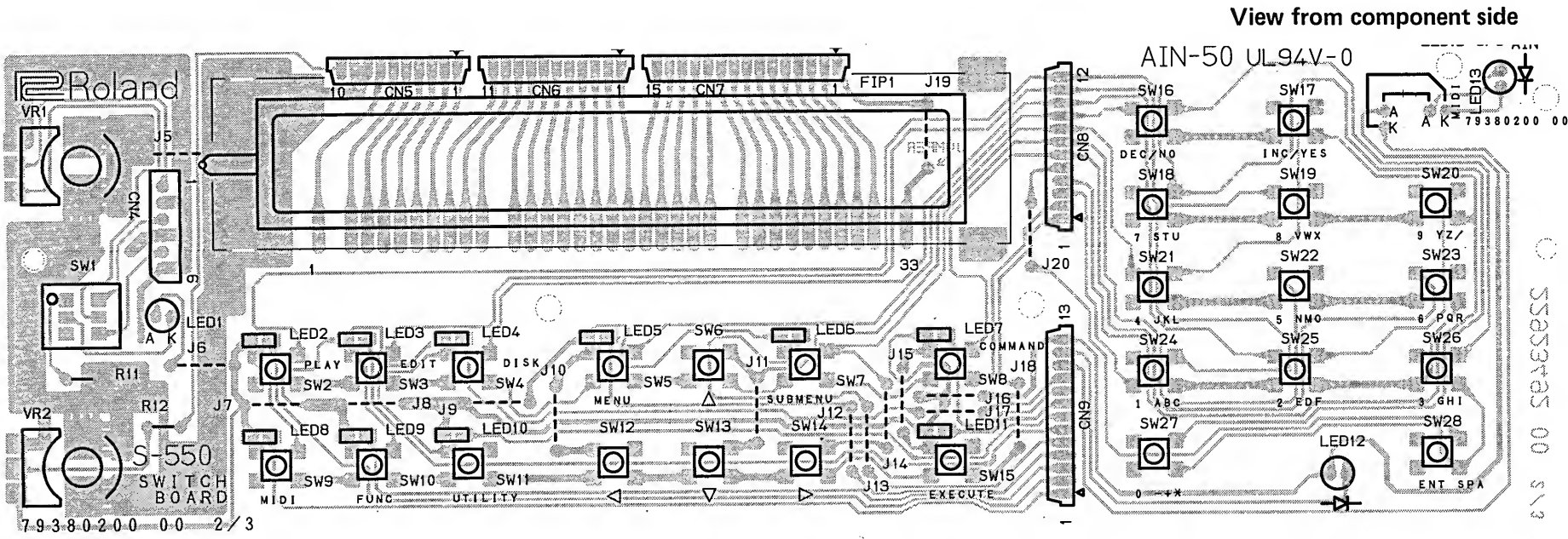


1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48



JACK BOARD
Assy 79380230
(pcb 22923492)

**SWITCH BOARD
W/LED BOARD**
Assy 79380200
(pcb 22923492)



A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U
V
W
X
Y
Z

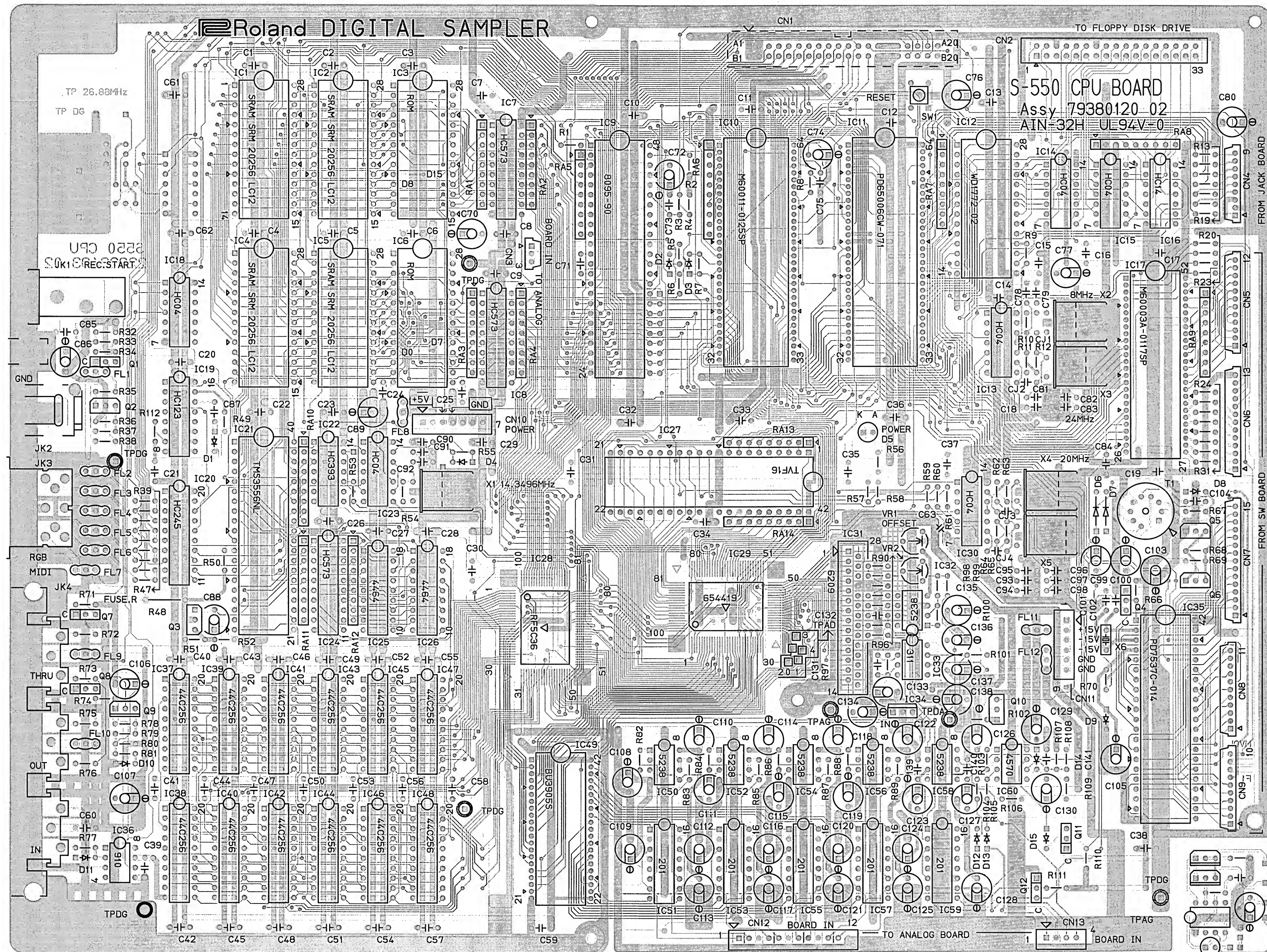


1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47

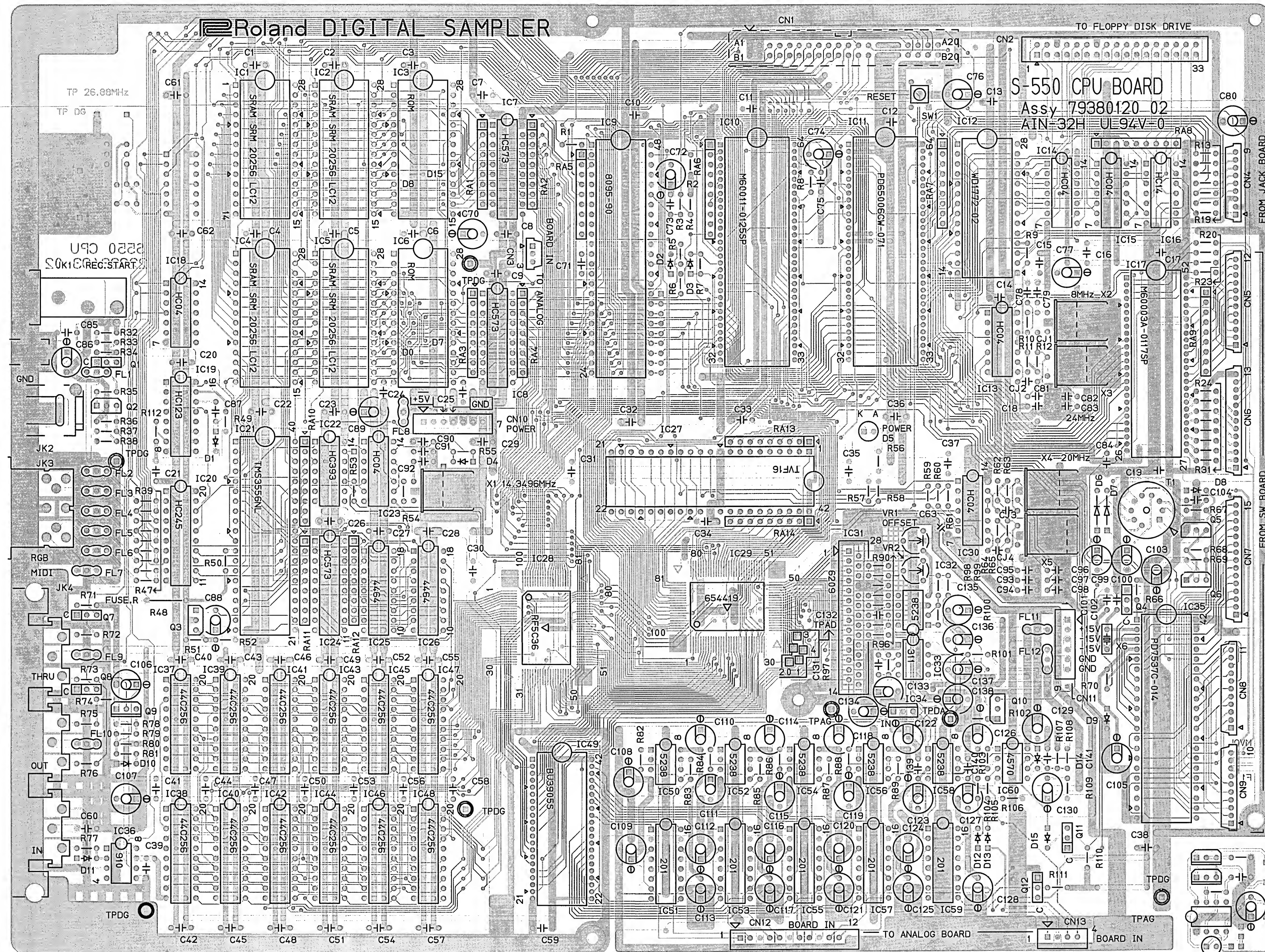
CPU BOARD Assy 79380120 (pcb 2292349302)

View from component side

A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U
V
W
X
Y
Z

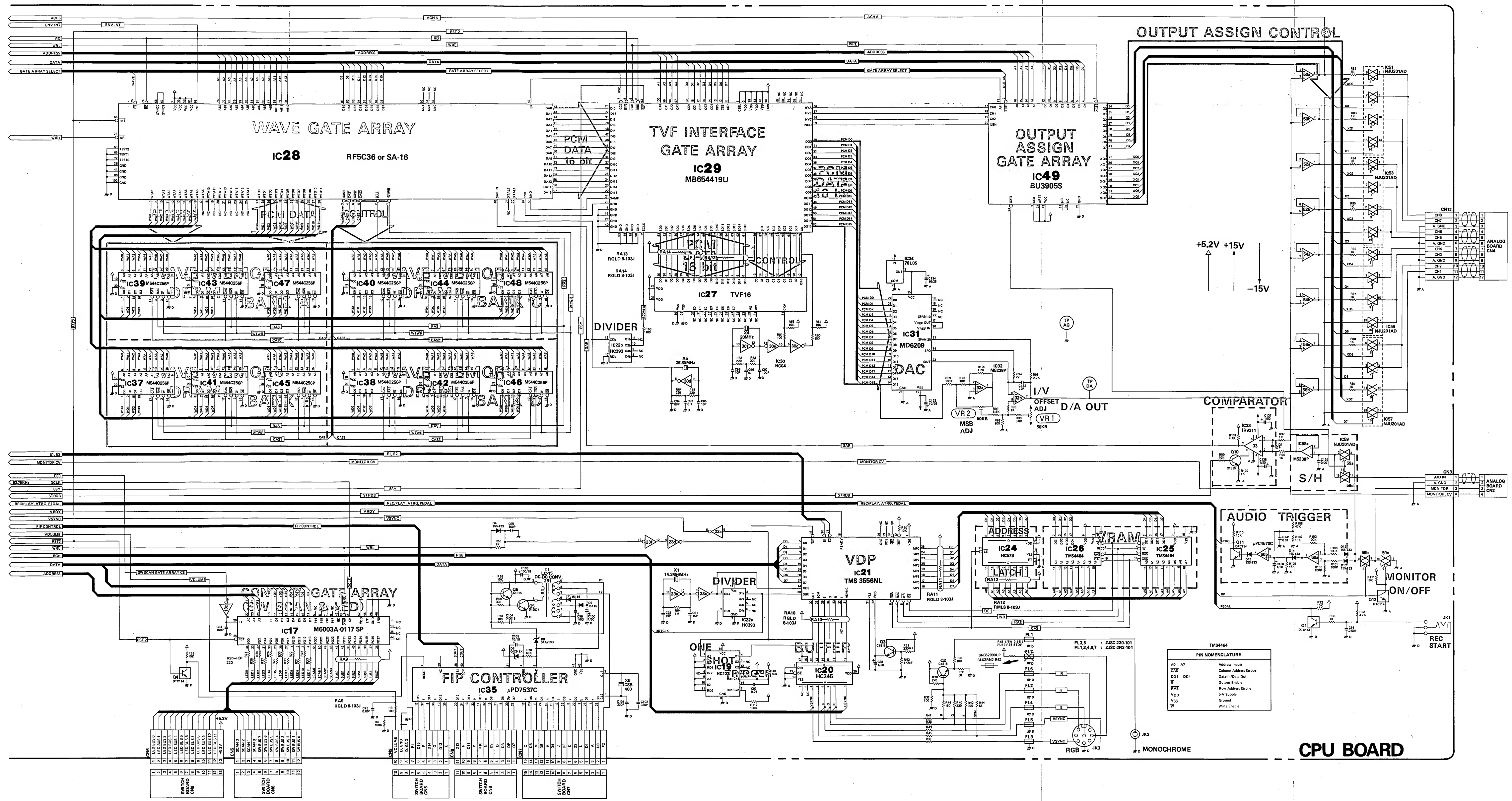


View from component side



1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66

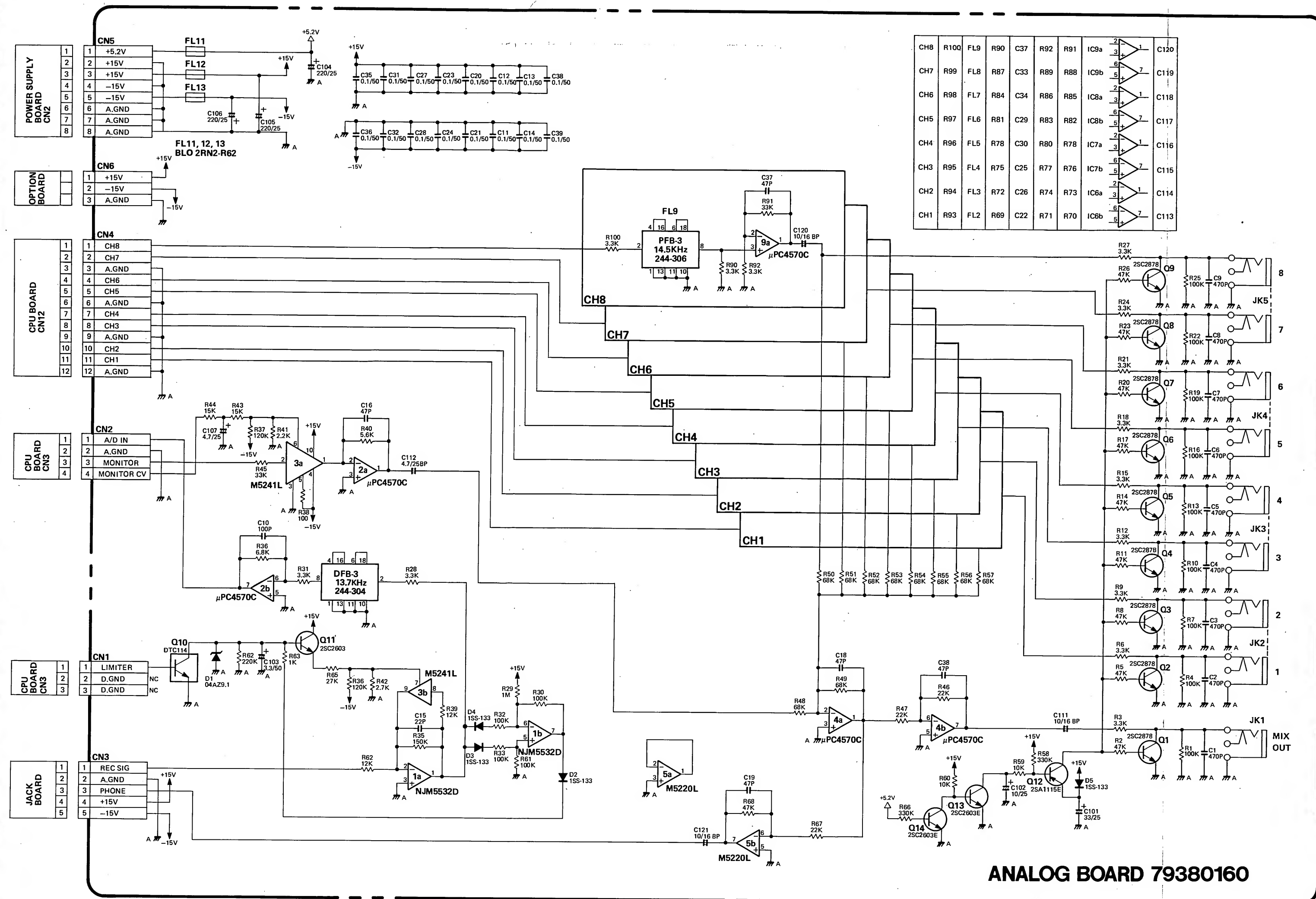
A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U
V
W
X
Y
Z



TMS4464

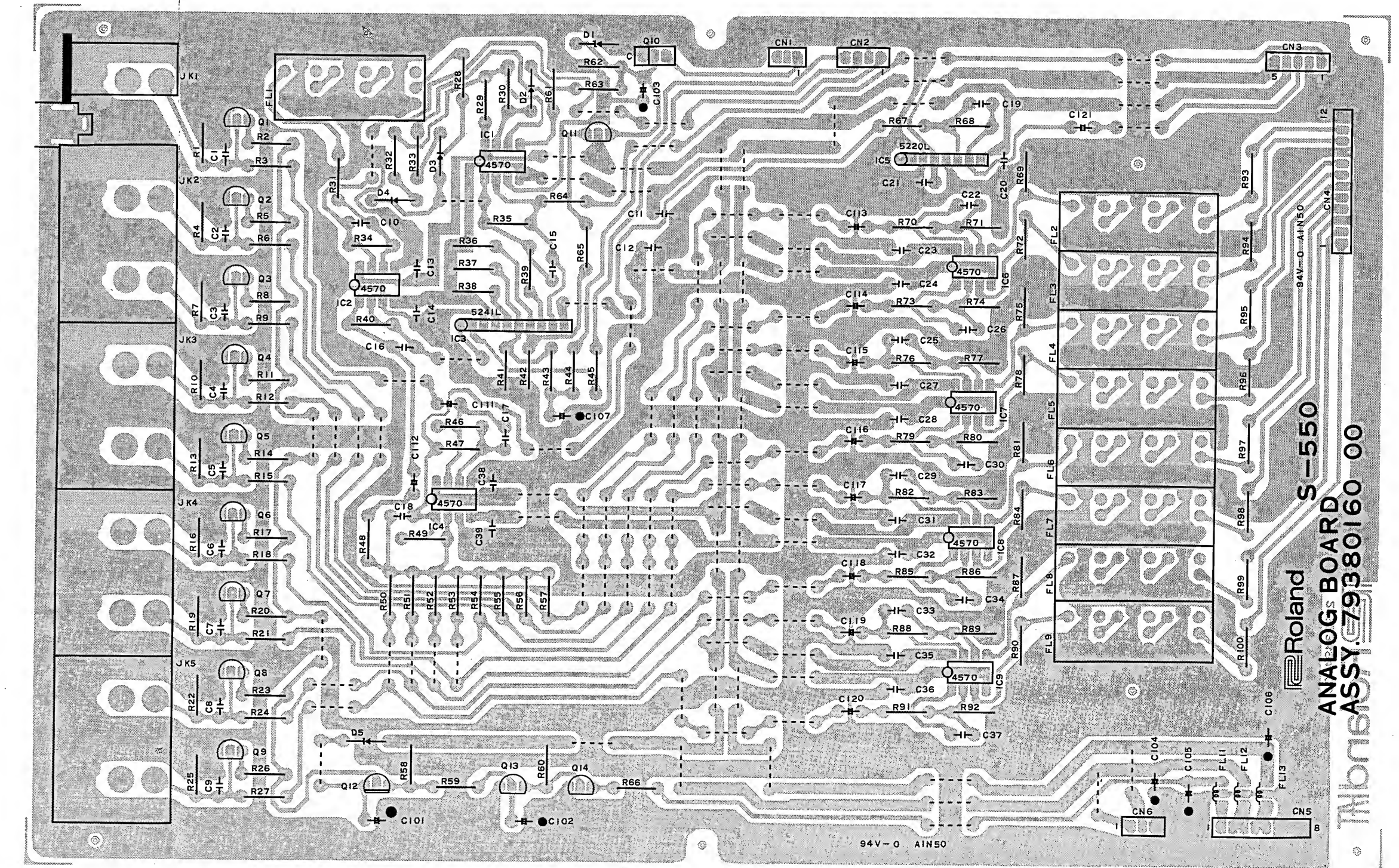
PIN NOMENCLATURE

Symbol	Description
A0 - A7	Address Inputs
CS	Column Address Strobe
DS	Data Input/Output
OE	Output Enable
WE	Row Address Strobe
VDD	V _{DD} Supply
VSS	Ground
W	Write Enable

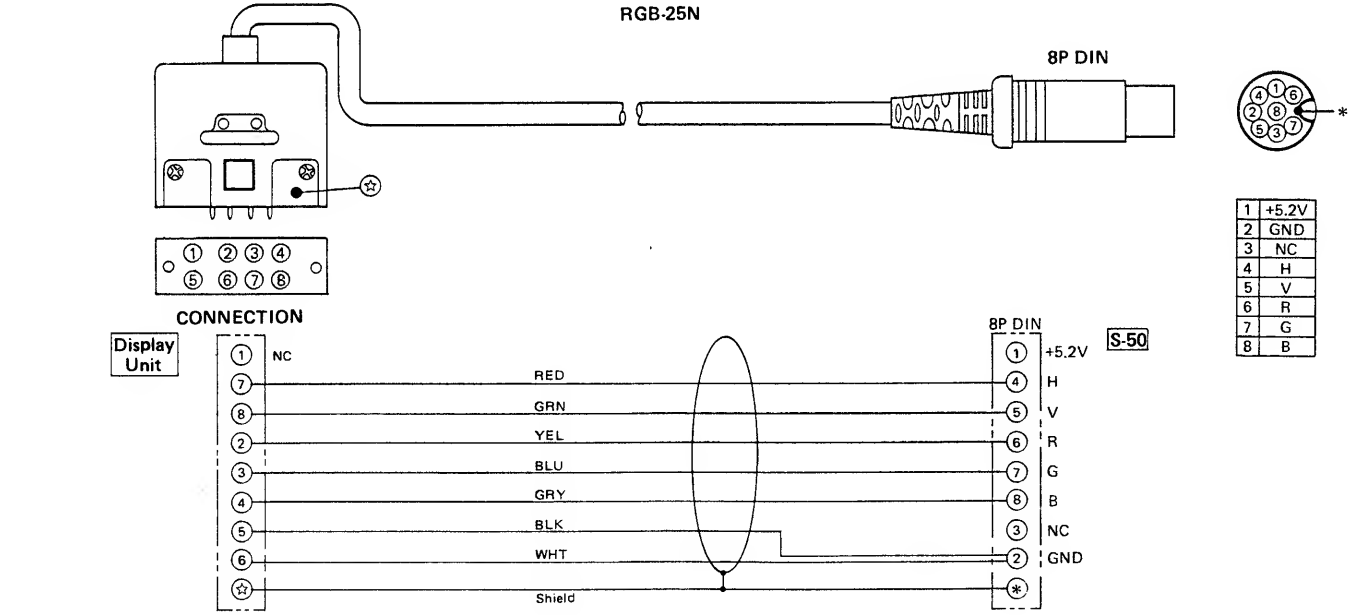
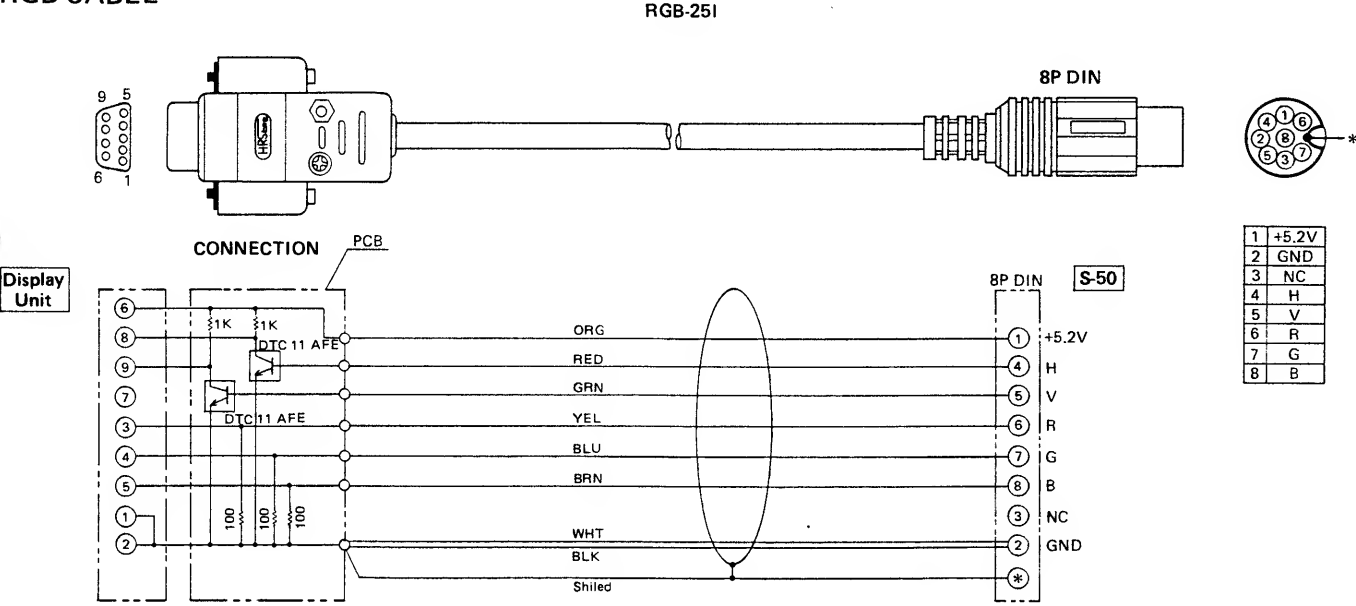


ANALOG BOARD
Assy 79380160
(pcb 2292349400)

View from component side



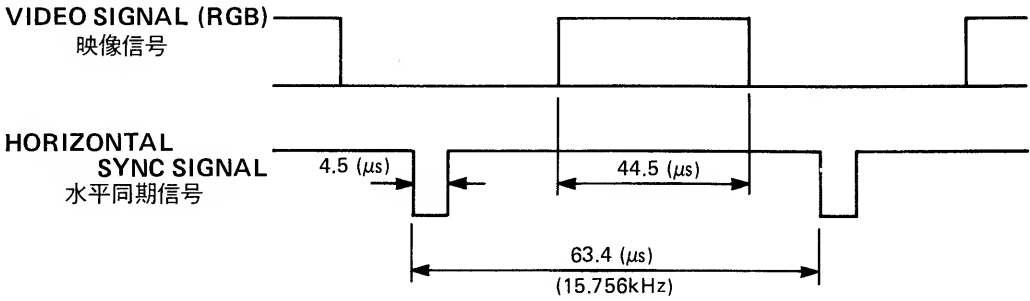
RGB CABLE



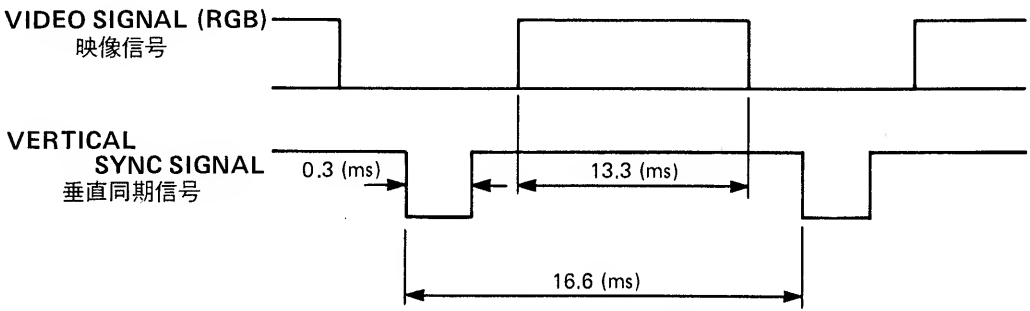
RGB OUT TIMING CHART

RGB出力タイミングチャート

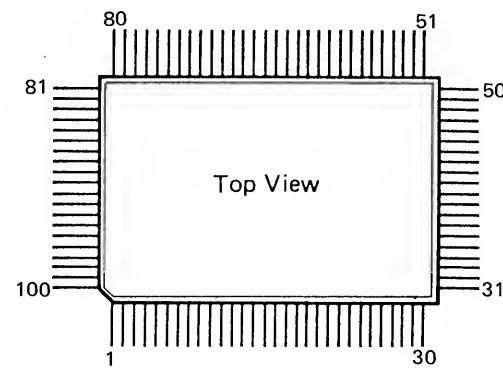
● HORIZONTAL SYNC
水平同期



● VERTICAL SYNC
垂直同期



GATE ARRAY RF5C36/SA-16

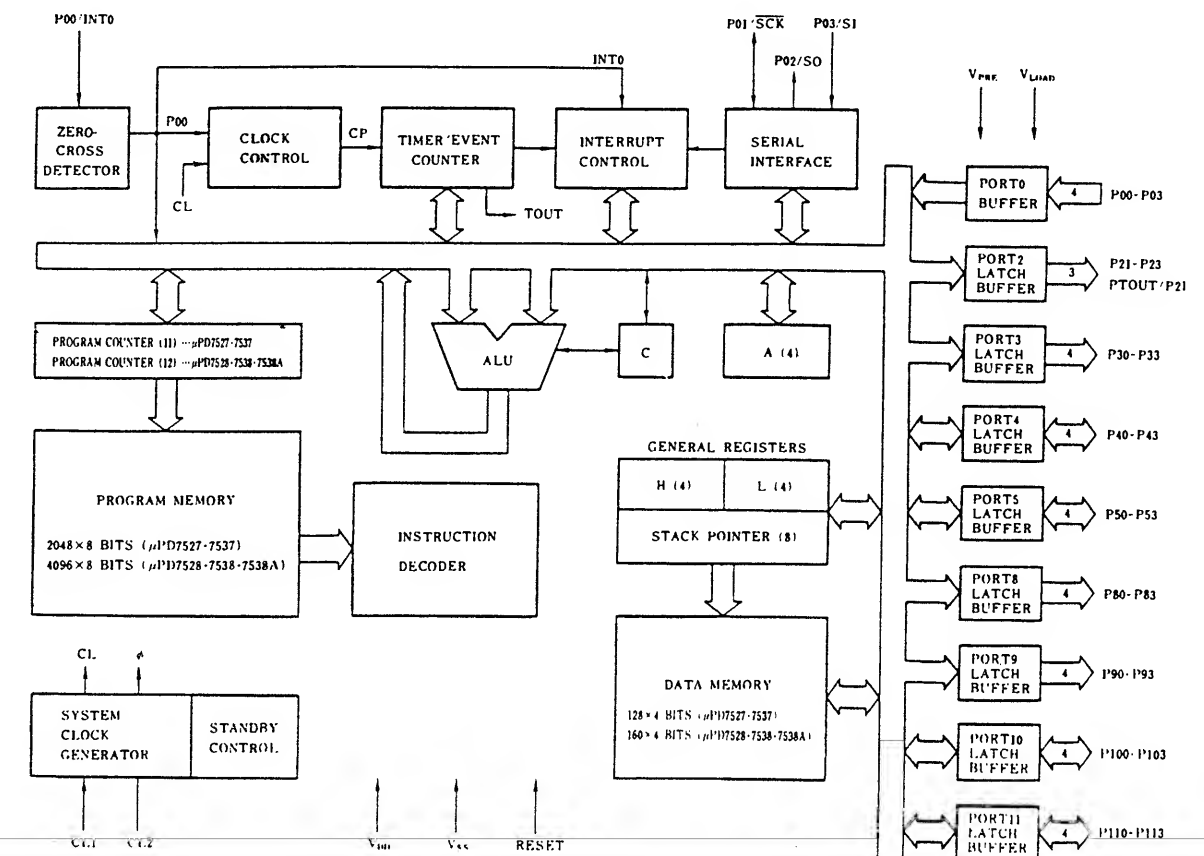
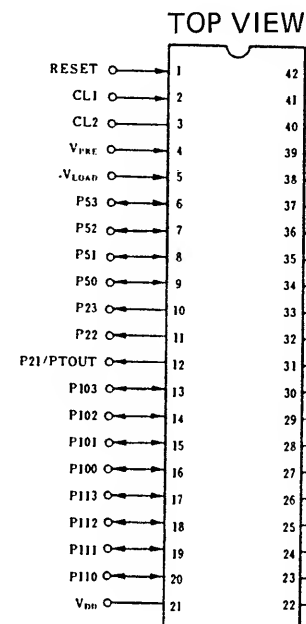


PIN No	PIN NAME	I/O	PIN No	PIN NAME	I/O
1	WTWR	O	51	DA9	O
2	RAS	O	52	DA10	O
3	CAS0	O	53	DA11	O
4	CAS1	O	54	DA12	O
5	CAS2	O	55	DA13	O
6	CAS3	O	56	DA14	O
7	VCC	O	57	DA15	O
8	WTA0	O	58	VCC	-
9	WTA1	O	59	SH	O
10	WTA2	O	60	MXA	O
11	WTA3	O	61	MXB	O
12	WTA4	O	62	MXC	O
13	WTA5	O	63	MXD	O
14	WTA6	O	64	INH	O
15	WTA7	O	65	RST	I
16	WTA8	O (NC)	66	SYNO	O
17	WTA9	O (NC)	67	SYN1	I
18	WTA10	O (NC)	68	TEST2	I
19	WTA11	O (NC)	69	TEST1	I
20	WTA12	O (NC)	70	XTAL1	XIN
21	WTA13	O (NC)	71	XTAL2	XOUT
22	WTA14	O (NC)	72	TESTCK	I
23	WTA15	O (NC)	73	WR	I
24	WTA16	O (NC)	74	RD	I
25	WTA17	O	75	CS	I
26	GND	-	76	A0	I
27	WTD0	I/O	77	A1	I
28	WTD1	I/O	78	A2	I
29	WTD2	I/O	79	A3	I
30	WTD3	I/O	80	GND	-
31	WTD4	I/O	81	VCC	-
32	WTD5	I/O	82	A4	I
33	WTD6	I/O	83	A5	I
34	WTD7	I/O	84	A6	I
35	WTD8	I/O	85	A7	I
36	WTD9	I/O	86	A8	I
37	WTD10	I/O	87	A9	I
38	WTD11	I/O	88	A10	I
39	VCC	-	89	A11	I
40	SARin	I	90	A12	I
41	GND	-	91	DB0	I/O
42	DA0	O	92	DB1	I/O
43	DA1	O	93	DB2	I/O
44	DA2	O	94	DB3	I/O
45	DA3	O	95	DB4	I/O
46	DA4	O	96	DB5	I/O
47	DA5	O	97	DB6	I/O
48	DA6	O	98	DB7	I/O
49	DA7	O	99	INT	O
50	DA8	O	100	GND	-

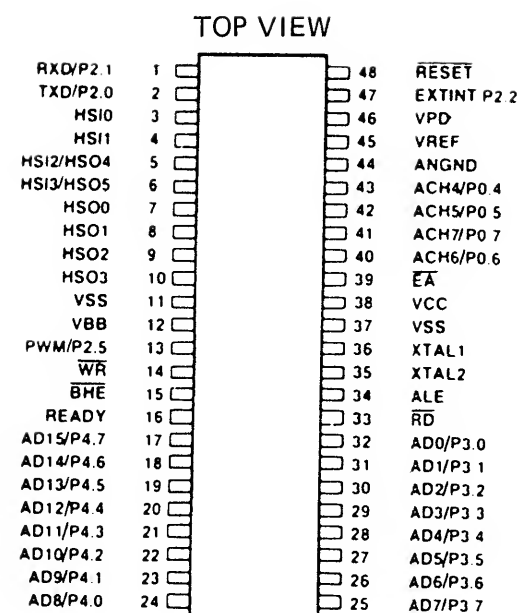
* XIN, XOUT : crystal

* OUTPUT LOAD CONDITION : CL=100pF

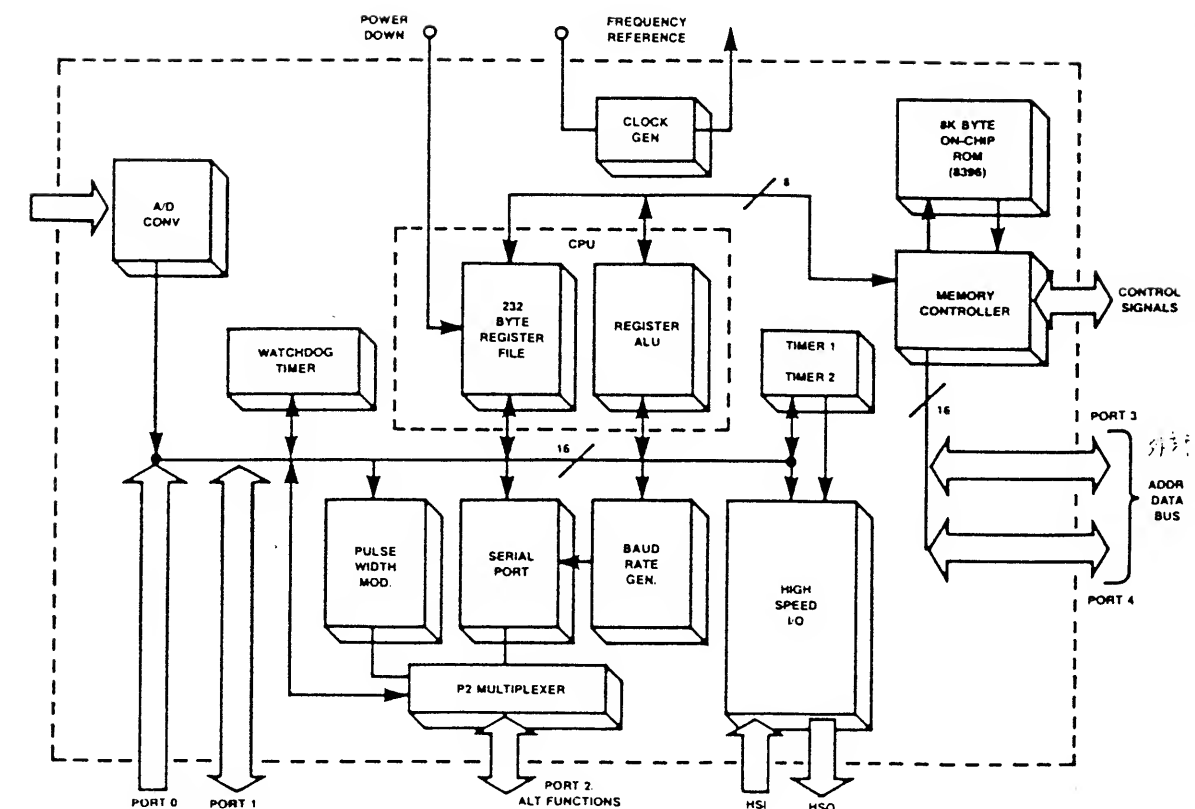
CPU μPD7537



CPU i8095-90

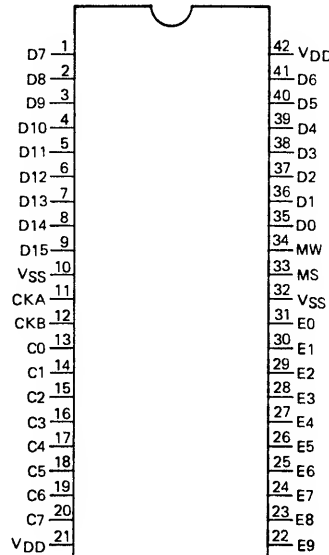


8095 BLOCK DIAGRAM



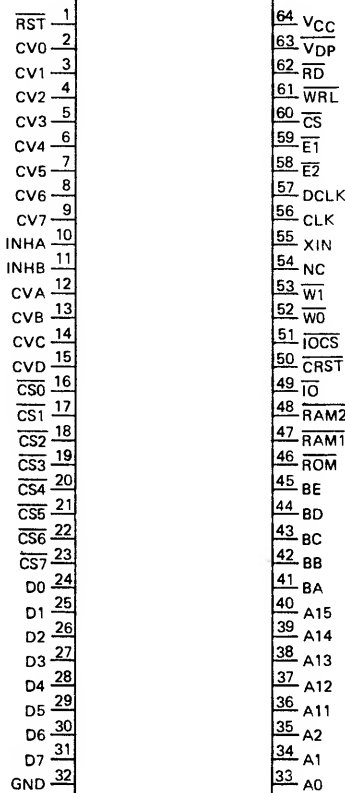
IC DATA ICデータ

TVF16



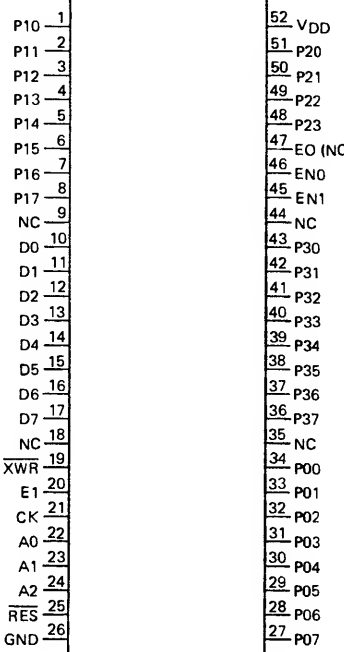
TOP VIEW

M60011



TOP VIEW

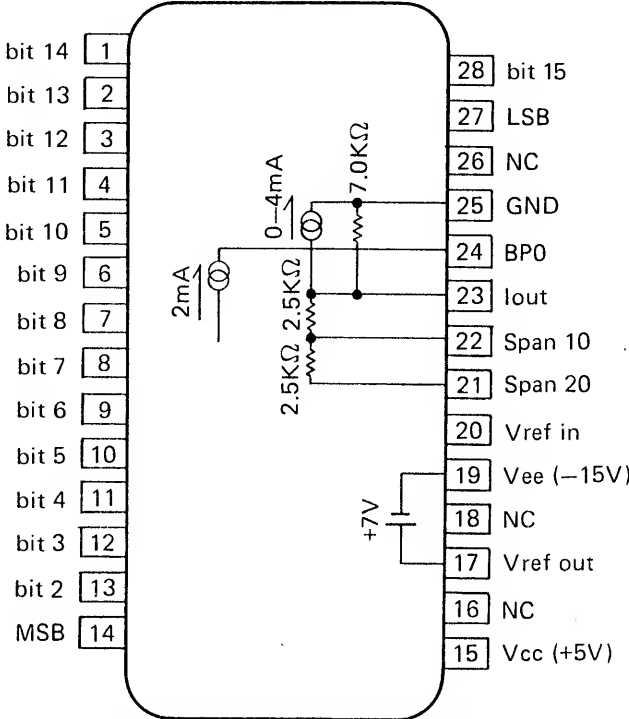
M6003A



TOP VIEW

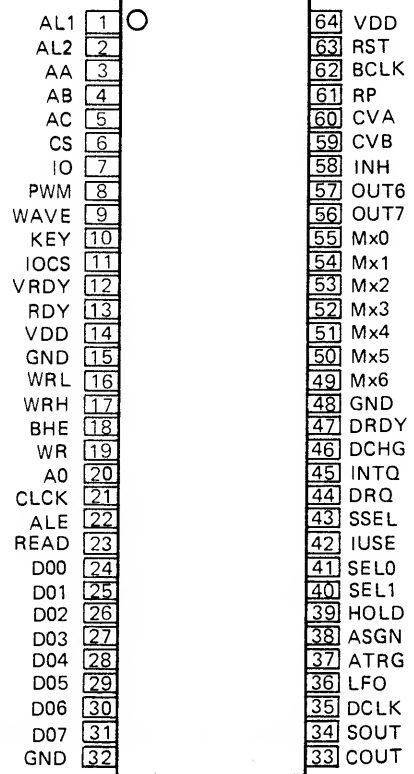
D/A CONVERTER EHK-MD6209

TOP VIEW

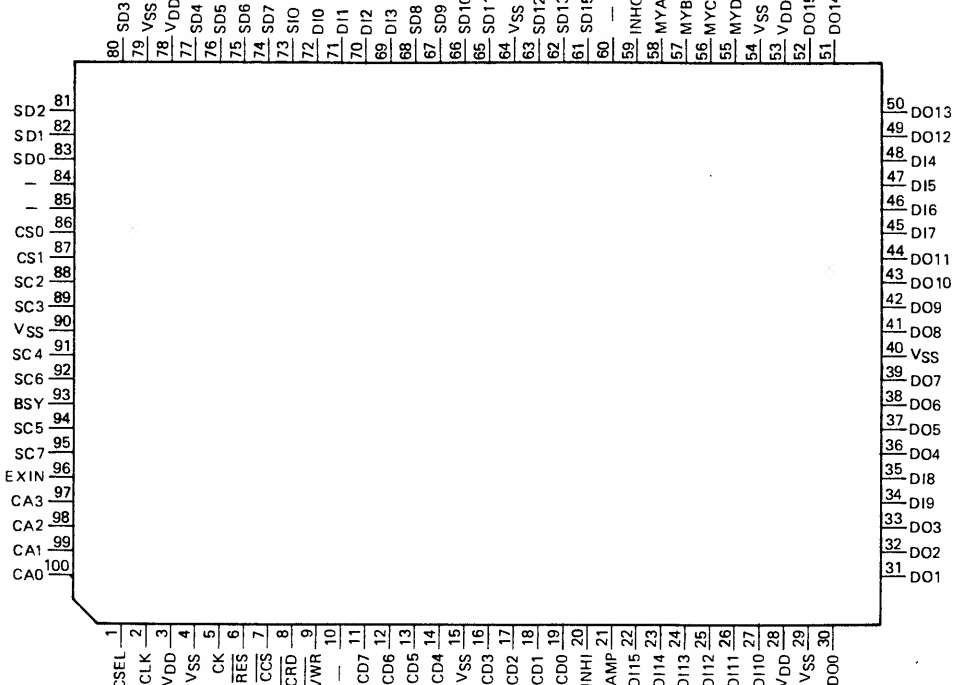


I/O GATE ARRAY μPD65006-017

TOP VIEW



MB654419U



VIDEO DISPLAY PROCESSOR TMS3556NL

TOP VIEW

